

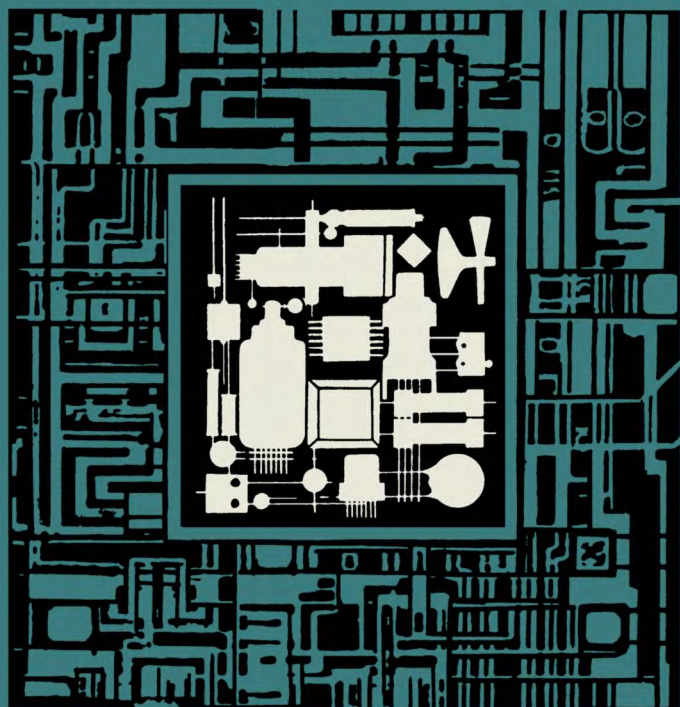
МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА

ЭЛЕКТРОНИКА

46

М.Ф. Пономарев Б.Г. Коноплев А.В. Фомичев

БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ
ПРОЕКТИРОВАНИЕ
СПЕЦИАЛИЗИРОВАННЫХ
БИС НА ИХ ОСНОВЕ



МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА

ЭЛЕКТРОНИКА

Выпуск 46

М. Ф. Пономарев, Б. Г. Коноплев, А. В. Фомичев

**БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ
ПРОЕКТИРОВАНИЕ СПЕЦИАЛИЗИРОВАННЫХ
БИС НА ИХ ОСНОВЕ**

Под редакцией М. Ф. Пономарева



МОСКВА «РАДИО И СВЯЗЬ» 1985



Scan AAW

ББК 32.844.1

П 56

УДК 621.3.049.771.14:621.315.592

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

В. М. Пролейко (отв. редактор), В. М. Вальков, Б. Ф. Высоцкий, Г. Г. Горбунова, В. И. Иванов, В. И. Котиков, И. В. Лебедев, Э. А. Лукин, Ю. Р. Носов, В. И. Стафеев, В. Н. Сретенский (зам. отв. редактора), Ю. Б. Степанов, В. А. Шахнов

Пономарев М. Ф. и др.

П 56

Базовые матричные кристаллы: Проектирование специализированных БИС на их основе /М. Ф. Пономарев, Б. Г. Коноплев, А. В. Фомичев.— М.: Радио и связь, 1985.— 80 с., ил.— (Массовая б-ка инженера «Электроника», вып. 46)

20 к.

Рассмотрены принципы построения, особенности схемотехники и конструкции базовых матричных кристаллов, а также вопросы проектирования БИС на их основе с использованием систем автоматизированного проектирования.

Для инженеров, связанных с проектированием и применением микросхем. Может быть полезна студентам соответствующих специальностей.

П 240300000-057

ББК 32.844.1

046(01)-85 117-85

6Ф0.3

Рецензенты: Ю. Ф. АДАМОВ, А. А. НОВИКОВ

Редакция литературы по электронной технике

Михаил Федорович Пономарев

Борис Георгиевич Коноплев

Алексей Васильевич Фомичев

БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ.
ПРОЕКТИРОВАНИЕ СПЕЦИАЛИЗИРОВАННЫХ БИС
НА ИХ ОСНОВЕ

Редактор В. М. Ларионова
Художественный редактор Н. С. Шейн
Технический редактор Г. И. Колосова
Корректор Э. Г. Галушкина

ИБ № 1068

Сдано в набор 1.10.84

Подписано в печать 10.01.85

Т-05006 Формат 84 × 108/32 Бумага тип. № 3 Гарнитура литературная

Печать высокая Усл. печ. л. 4,2 Усл. кр.-отг. 4,515 Уч.-изд. л. 4,33

Тираж 10 000 экз. Изд. № 20939 Зак. № 115 Цена 20 к.

Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

Московское производственное объединение «Первая Образцовая типография» Союзполиграфпрома при Государственном комитете СССР по делам издательств, полиграфии и книжной торговли. 113054, Москва, Валовая, 28.

© Издательство «Радио и связь», 1985

Предисловие

Элементарной базой ЭВМ являются большие (БИС) и сверхбольшие (СБИС) интегральные схемы.

Высокие качественные характеристики вычислительных устройств достигаются применением специализированных (заказных или полузаказных) интегральных схем, выполняющих определенные преобразования информации. Для изготовления полузаказных БИС используются базовые матричные кристаллы (БМК), позволяющие существенно сократить срок проектирования и снизить стоимость производства специализированных БИС.

Авторы поставили задачу обобщить отечественный, в том числе свой собственный, и зарубежный опыт в области разработки и производства БМК и рассмотреть особенности проектирования специализированных БИС на их основе.

Предлагаемая вниманию читателей книга состоит из четырех глав. В первой из них изложены принципы построения БМК, представлены параметры и характеристики БМК, разработанных зарубежными фирмами. Во второй и третьей рассматриваются схемотехника и конструкции БМК на биполярных и МДП-, транзисторах соответственно. В четвертой приведены особенности выбора БМК, проектирования БИС на основе БМК и краткая характеристика современных систем автоматизированного проектирования, которые используются при проектировании специализированных БИС.

Глава 1 написана М. Ф. Пономаревым, гл. 2 — Б. Г. Коноплевым и А. В. Фомичевым, гл. 3 — Б. Г. Коноплевым, гл. 4 — совместно Б. Г. Коноплевым, М. Ф. Пономаревым и А. В. Фомичевым.

Отзывы, предложения и замечания просим направлять в адрес издательства «Радио и связь»: 101000 Москва, Почтамт, а/я 693.

Введение

С применением БИС существенно улучшаются функциональные и технико-экономические характеристики электронной аппаратуры: повышаются быстродействие и надежность, снижаются потребляемая мощность, масса, габариты и стоимость, сокращаются сроки проектирования и подготовки производства.

Большие интегральные схемы можно разделить на две группы: широкого применения (унифицированные) для электронной аппаратуры различного назначения (БИС памяти, микропроцессоры); частного применения, выполняющие специфичные преобразования информации в ограниченном классе электронной аппаратуры. Они реализуются как в виде полностью заказных (специализированных), так и в виде полузаказных (на основе БМК) микросхем.

Стоимость БИС ($C_{\text{БИС}}$) существенно зависит от объема их производства N , начальных затрат C_n , связанных с проектированием схем и подготовкой производства, а также производственных затрат $C_{\text{пр}}$ на изготовление одной БИС, которые обусловлены размерами партии при групповых методах производства:

$$C_{\text{БИС}} = C_n/N + C_{\text{пр}}. \quad (\text{В.1})$$

С ростом объема производства обе составляющие выражения (В.1) уменьшаются. На рис. В.1 [1] показаны графики, иллюстрирующие зависимость нормированной стоимости узла электронной аппаратуры \bar{C} от объема производства N , тыс. шт., для различных вариантов их изготовления. Из рисунка видно, что эффективность применения определенного типа БИС зависит от объема их производства. С ростом степени интеграции уменьшается объем производства конкретных типов БИС в связи с резким сужением сферы их применения, так как многие БИС выполняют специфичные для кон-

кретного вида аппаратуры функции и являются изделиями частного применения. Исключение представляют БИС памяти и микропроцессоры, которые являются изделиями широкого применения.

Сужение сферы применения конкретного типа микросхем приводит к необходимости разработки большой номенклатуры БИС и, следовательно, больших затрат времени и средств на их проектирование, подготовку производства и изготовление.

Существенное сокращение номенклатуры достигается построением БИС, настраиваемых на заданную функцию программным способом.

Типичными представителями программно-перестраиваемых БИС являются микропроцессоры. Однако во многих случаях их применение не обеспечивает необходимого быстродействия, поэтому в быстродействующих устройствах выгоднее применять БИС, выполняющие лишь одну определенную функцию. При этом выигрыш по быстродействию может составлять 10 ... 100 раз [2, 3].

Широкая номенклатура специализированных БИС при приемлемых затратах на проектирование и производство достигается с помощью БМК. Базовый матричный кристалл представляет собой матрицу нескоммутированных элементов (транзисторов, резисторов и др.), электрические связи между которыми реализуются путем создания тонкопленочных межсоединений с помощью одного или нескольких заказных фотошаблонов. При изготовлении таких БИС используются полуфабрикаты в виде полупроводниковых пластин с заранее сформированными матрицами элементов. Производятся только заключительные технологические операции формирования электрического монтажа и предварительной защиты кристаллов. Применение заказных фотошаблонов слоев межсоединений позволяет изготавливать тысячи различных функциональных блоков на основе одного БМК.

Дополнительным преимуществом БИС на основе БМК по отношению к микропроцессорам является исключение цикла проектирования программных средств.

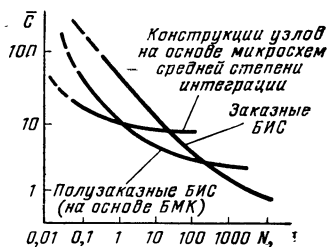


Рис. В.1

Если весь процесс разработки БИС на основе базового кристалла от составления технического задания до получения работоспособных опытных образцов может занять несколько недель, то отладка программных средств и комплексная наладка системы могут растянуть время проектирования даже простой микросистемы на несколько месяцев [1].

В настоящее время начинают широко применяться БИС среднего и высокого быстродействия на основе БМК. Разработка таких БИС успешно производится с помощью методов и систем автоматизированного проектирования, позволяющих существенно сократить цикл подготовки производства [1, 4—6].

Таблица В.1

Сравнение различных способов реализации специализированного контроллера [1]

Показатель	Плата с ИС со средней степенью интеграции	БИС на основе БМК	Заказная (специализированная) БИС
Число кристаллов, шт.	50	1 (1000 логических вентиляей)	1 (850 логических вентиляей)
Использование логических вентиляей, %	95	85	100
Площадь схемной платы, см ²	323	13	13
Затраты на разработку, тыс. дол.	10...20	20...30	50...100
Стоимость компонентов (кристаллов), дол.	40...75	20...90	15...90
Стоимость тестирования и сборки, дол.	20...50	4...10	4...12
Время разработки, недель	10...16	10...16	36...48
Общая стоимость в расчете на узел при объеме производства (числе узлов), дол.			
250	180	200	—
2500	100	90	120
25000	80	50	60
250000	65	30	30
2500000	—	25	20

О преимуществах использования базовых кристаллов можно судить по данным разработки специализированного контроллера [1] в трех конструктивных вариантах (табл. В.1): печатная плата с 50-ю корпусами универсальных маломощных ТТЛШ-микросхем со средней степенью интеграции; полузаказная БИС, спроектиро-

ванная и изготовленная на основе БМК; заказная специализированная БИС, выполненная обычными методами проектирования. Анализ итоговых данных табл. В.1 показывает, что наибольший эффект от применения БМК достигается при средних масштабах производства узлов (тысячи—десятки тысяч штук).

Необходимо отметить, что БИС на основе БМК характеризуется такими недостатками, как [2]: избыточность в площади кристалла, обусловленная спецификой его конструкции, неполным использованием логических вентилей матрицы и выводов кристалла; ограниченность возможностей технологии в отношении интеграции и быстродействия схем.

Существует три подхода к решению задачи конструирования БИС частного применения на основе БМК. Во-первых, можно оперировать имеющимися базовыми кристаллами, приспособляя их для разработки того или иного класса полузаказных БИС. Во-вторых, можно разрабатывать необходимые базовые кристаллы, исходя из особенностей реализуемых на их основе схем. Наконец третий, комплексный подход, предусматривает использование имеющихся и разработку новых базовых кристаллов в зависимости от требований, предъявляемых к классу БИС частного применения.

В данной книге рассматриваются принципы построения и основы конструирования БМК на биполярных и МДП-транзисторах, особенности проектирования БИС на основе БМК.

1. Принципы построения базовых матричных кристаллов

1.1. Классификация и особенности конструкций

Конструктивно базовый кристалл представляет собой сформированную заранее матрицу ячеек с группами некоммутированных элементов (транзисторов, резисторов, конденсаторов, подокусных полупроводниковых шин для реализации пересечений и др.). Изготовление матричной БИС с конкретным целевым назначением осуществляется с помощью одного или нескольких уровней металлизированных межсоединений. С помощью металлизации из элементов матрицы формируются функциональные элементы (логические вентили, триггеры, счетчики, регистры и др.) и соединения между ними, определяемые электрической схемой БИС.

Как правило, основные функциональные элементы матрицы работают в режиме с малым потреблением энергии, обеспечивающим необходимое быстродействие. При выборе режимов функциональных элементов учитываются также требования к обеспечению помехоустойчивости. Буферные элементы, предназначенные для осуществления внешних связей матричной БИС, имеют повышенную мощность, при которой достигаются необходимое согласование по логическим уровням, нагрузочная способность и помехоустойчивость.

Для упрощения процесса проектирования и сокращения сроков разработки БИС на основе БМК широко применяются библиотечные наборы типовых функциональных элементов. Топология функционального элемента в виде фрагмента БИС (как правило, с унифицированными размерами) разрабатывается заранее на основе элементов одной или нескольких рядом расположенных ячеек. Вся информация о топологии фрагментов хранится в банках данных системы автоматизированного

проектирования (САПР) и используется в процессе автоматизированного проектирования матричной БИС [6, 7].

Базовые кристаллы можно классифицировать по конструктивно-технологическим признакам, исходя из особенностей организации матрицы, ячеек матрицы и электрических связей.

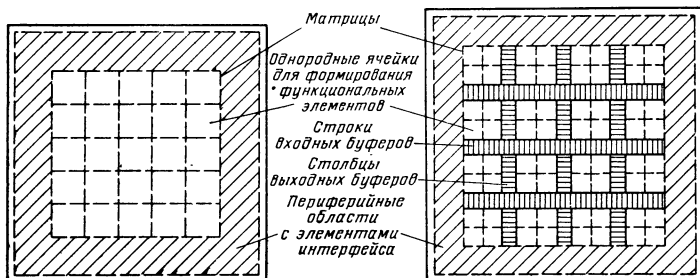


Рис. 1.1

Рис. 1.2

Матрицы могут состоять из однородных или неоднородных ячеек. В базовых кристаллах для реализации цифровых БИС со степенью интеграции около 1000 вентилях используются обычно однородные ячейки. Элементы интерфейса располагаются на периферии кристалла (рис. 1.1). Матрицы с неоднородными ячейками (рис. 1.2) применяются в базовых кристаллах для построения цифровых БИС с более высокой степенью интеграции (около 10000 вентилях) и цифро-аналоговых БИС [2, 8, 9]. В последних элементы, предназначенные для формирования аналоговых устройств, располагаются вместе с элементами интерфейса по периферии кристаллов.

В состав БМК цифровых сверхбольших интегральных схем (СБИС) могут входить регулярно расположенные по полю матрицы внутренние ячейки интерфейса [4]. Эти ячейки используются для повышения нагрузочной способности логических элементов. Кроме того, для осуществления связей СБИС с внешними устройствами и контроля работоспособности СБИС с помощью тестов требуется большое количество контактных площадок (около 200). Поскольку по периферии кристалла при заданных технологических ограничениях можно разместить

ограниченное количество контактных площадок и других элементов интерфейса, то часть элементов интерфейса иногда располагают на поле матрицы. С помощью внутренних элементов интерфейса можно решать и другие задачи, например приблизить буферы к элементам вывода информации, тем самым уменьшить длину соединительных проводников и соответственно паразитную емкость нагрузок, оказывающих существенное влияние на быстродействие маломощных логических элементов. Применение внутренних контактных площадок в кристаллах с шариковыми или столбиковыми выводами позволяет вынести часть электрических связей между внутренними узлами кристалла на пленочную коммутационную плату большой гибридной интегральной схемы (БГИС) или микросборки (МСБ).

В цифро-аналоговых БИС на поле матрицы располагаются ячейки с наборами элементов для формирования аналоговых функциональных узлов (усилителей, компараторов, аналоговых ключей и др.). К набору элементов таких ячеек предъявляется ряд специфических требований (наличие большого количества разнообразных активных и пассивных элементов, повышенная точность и стабильность и др.), поэтому возникает необходимость выделения в матрице группы специальных регулярно или нерегулярно расположенных ячеек.

Применяется два способа организации ячеек матрицы БМК:

1. На основе элементов ячейки может быть сформирован один вентиль — базовый логический элемент, выполняющий элементарную функцию, например НЕ, И — НЕ, ИЛИ — НЕ с разветвлениями по входам (ЭСЛ, ТТЛ, РТЛ, *n*-МОП, КМОП) или выходам (И²Л). Для реализации более сложных функций используется несколько ячеек. Количество, разновидности и параметры элементов определяются электрической схемой логического вентиля [4].

2. На основе элементов ячейки может быть сформирован любой функциональный узел библиотечного набора. Типы элементов ячейки и их количество определяются электрической схемой самого сложного функционального узла [7, 10].

Первый способ построения позволяет получить более высокий коэффициент использования ячеек и площади базового кристалла и соответственно повысить степень

интеграции БИС. Однако для размещения узлов и трассировки коммутационных проводников требуется мощная система автоматизированного проектирования. Процесс проектирования упрощается, если используется библиотека функциональных элементов (рис. 1.3) [6,7].

Второй способ построения ячеек базового кристалла позволяет упростить систему автоматизированного проектирования БИС. Однако, если в проектируемой БИС достаточно много простых функциональных элементов

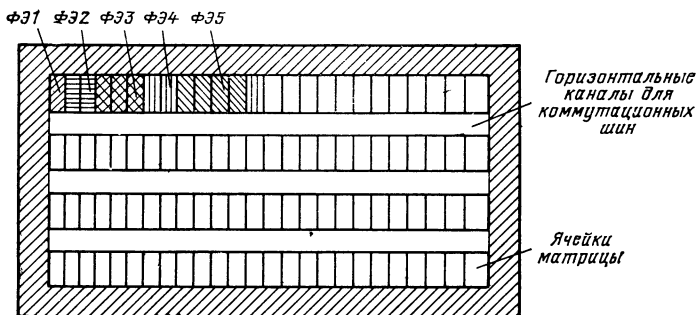


Рис. 1.3

набора с низким коэффициентом использования элементов ячейки, то получается низкий коэффициент использования площади кристалла и невысокая степень интеграции БИС.

Конструкции БМК и расположение структур ячейки должны быть выполнены с учетом необходимости прокладки трасс электрических сигнальных связей, шин питания и заземления.

В простейшем случае на поле кристалла между ячейками матрицы выделяются свободные полосы (в кристаллах на биполярных приборах обычно система ортогональных полос; в кристаллах на МОП-приборах — система компланарных полос, рис.1.3), в пределах которых реализуются соединительные проводники. Пропускная способность полосы составляет от 5 до 15 каналов связи. В пределах полос располагаются также полупроводниковые элементы «подныривания» для реализации пересечения ортогональных проводников. Такой способ реализации коммутационной сети упрощает автоматизированное проектирование БИС, однако при этом получается низкий коэффициент использования площади кристалла

(низкая плотность элементов). С целью повышения плотности компоновки используются различные приемы (см. в § 1.3).

Для упрощения выполнения электрических связей между функциональными элементами, подведения питания и заземления во всех ячейках предусматривается однотипное расположение соответствующих полупроводниковых структур.

Большой практический интерес представляют конструкции матричных БИС с одним заказным слоем металлизации. В этом случае существенно упрощается технология проектирования и изготовления матричных БИС.

Порядок разработки БИС на основе БМК может быть следующим. Предприятие — разработчик базовых кристаллов — предоставляет каталоги, содержащие информацию по основным функциональным элементам и рекомендации по проектированию заказных БИС. Разработка топологии заказной БИС может осуществляться на предприятиях — изготовителях аппаратуры — инженерами, которые не имеют специальной подготовки в области технологии производства БИС. Информация о топологии записывается на ленту и отправляется на предприятие — изготовитель БИС — для выполнения заказов.

Возможен и другой вариант. Пластины-полуфабрикаты с кристаллами, элементы которых защищены окислом или двухслойной системой окисел — металл, могут поставляться предприятиям-изготовителям аппаратуры, где межсоединения не только проектируются, но и изготавливаются.

И, наконец, возможно изготовление и БМК, и БИС на их основе специализированным предприятием по функциональной схеме и техническому заданию предприятия — изготовителя аппаратуры.

Применяются две разновидности пластин-полуфабрикатов.

В пластинах первого вида в слое защитного окисла вытравлены отверстия для доступа металла ко всем внутренним контактам, с помощью которых осуществляется электрическое соединение элементов ячеек матриц для формирования функциональных элементов и соединение последних для реализации заказной БИС. Пластина-заготовка с кристаллами полностью покрывается слоем металла. При использовании конструкций

матричных БИС с одним заказным слоем металлизации необходимый рисунок межэлементных электрических связей формируется с помощью лишь одного фотошаблона. Металл удаляется с тех участков поверхности кристаллов, на которых не должно быть никаких связей [2,7]. Для образования омических контактов производится термообработка, при которой происходит сплавление металла в кремний.

В данном варианте нельзя проводить связи (трассы) в областях незадействованных контактов. В конструкции матричного кристалла необходимо предусматривать поля, свободные от контактов, для прокладки трасс электрических связей. Такое ограничение, а также топологические сложности трассировки проводников не позволяют получить высокую плотность компоновки элементов на кристалле.

Другой разновидностью пластин-полуфабрикатов являются заготовки с матричными кристаллами, покрытые слоем защитного окисла. Для формирования окон в окисле и создания необходимого рисунка первого (или единственного) слоя межсоединений требуется два фотошаблона. В этом случае достигается более высокая плотность компоновки элементов и упрощается трассировка межсоединений, так как трассы межсоединений могут проходить над областями незадействованных контактов, покрытых слоем защитного окисла [2].

1.2. Библиотечный набор функциональных элементов

Для упрощения проектирования БИС на основе БМК широко используются библиотечные наборы функциональных элементов [2, 4, 7, 8]. Библиотечный набор должен обеспечить реализацию всех логических функций, характерных для данного класса устройств. В состав библиотечного набора могут входить как простые логические элементы типа И — НЕ, ИЛИ — НЕ, так и достаточно сложные узлы, широко применяемые в определенном классе аппаратуры, например различные триггеры, регистры, счетчики, полусумматоры, шифраторы и дешифраторы, мультиплексоры, усилители и др. [7, 10].

Топологический чертеж каждого узла библиотеки (фрагмента) разрабатывается конструктором на основе структур одной или нескольких ячеек. При этом долж-

ны учитываться конструктивно-технологические ограничения и частные технические требования, обусловленные особенностями последующей трассировки электрических связей, расположением и подключением шин питания и заземления, общими для всех фрагментов рекомендациями по расположению входов и выходов.

В практике конструирования БИС на основе БМК вручную используются аппликации фрагментов библиотеки, выполненные в определенном масштабе на прозрачном материале. Эти аппликации размещаются на чертеже поля базового кристалла. При автоматизированном проектировании информация о топологии функциональных элементов библиотеки заносится в память ЭВМ. Фрагменты обычно имеют прямоугольную форму. Для повышения плотности компоновки и упрощения процесса проектирования один или оба размера всех фрагментов выполняются одинаковыми [7].

Электрические характеристики функциональных элементов библиотечного набора определяются такими параметрами используемой элементной базы, как среднее время задержки, потребляемая мощность, абсолютная или относительная помехоустойчивость, перепад логических уровней и их абсолютные величины, коэффициенты объединения по входам и выходам, характеризующие возможность реализации функций от большого числа переменных, количество источников питания и требования к их параметрам.

Обобщенным параметром элементной базы является фактор качества, равный произведению потребляемой мощности на среднее время задержки. Значение потребляемой элементом мощности ограничивает степень интеграции быстродействующих БИС.

1.3. Электрические связи в матричных БИС

В матричных БИС электрические связи осуществляются с помощью металлических, полупроводниковых и поликремниевых шин. Наиболее распространены алюминиевые и молибденовые тонкопленочные шины. Применение последних характерно для МОП-БИС при использовании в МОП-транзисторах молибденовых затворов. Шины цепей питания и заземления, как правило, выполняются из алюминия, характеризующегося низким удельным сопротивлением. Шины из легиро-

ванного моно- и поликристаллического кремния служат для реализации коротких слаботочных сигнальных цепей, так как эти шины обладают повышенным удельным сопротивлением.

В быстродействующих БИС через логические элементы проходят большие токи (1...10 мА). Для уменьшения падения напряжения на шинах питания и заземления применяют проводники с повышенной толщиной (единицы микрометров). При двух- и трехуровневой коммутации толстые коммутационные проводники формируют в наружном слое. В этом случае обеспечивается более гладкий рельеф поверхности кристалла, меньшее число разрывов проводников и изолирующих слоев в областях ступенек [1, 2].

Коммутационные шины БИС характеризуются такими паразитными параметрами, как сопротивление и емкость. Если используются металлические пленочные проводники, то большое влияние на быстродействие БИС оказывают емкости. Наибольшую емкость имеют проводники первого (нижнего) коммутационного слоя, расположенные на тонком окисле, покрывающем кремний. При ширине проводников 3 мкм погонная емкость составляет около 0,5 пФ/мм. В современных матричных БИС с размерами кристалла 7×7 мм² до 5% проводников (при полном числе проводников около 5000) имеют длину около 10 мм [4]. Их емкость составляет примерно 5 пФ. Такие емкости могут существенно увеличить время задержки вентилях из-за увеличения длительности фронтов импульсов.

Полупроводниковые шины представляют собой RC-структуры с распределенными параметрами, которые вносят задержки в передачу информационных сигналов. Время задержки $t_{зд}$ пропорционально постоянной времени $\tau = RC = \rho_{\square} C_0 l^2$, где R и C — полное сопротивление и емкость шины длиной l ; ρ_{\square}, C_0 — удельное поверхностное сопротивление и удельная емкость шины. Например, при $\rho_{\square} \approx 20 \dots 50 \text{ Ом}/\square, C_0 \approx 150 \text{ пФ}/\text{мм}^2$ и $l = 5 \text{ мм}$ $t_{зд} = 0,5\tau = 0,5\rho_{\square} C_0 l^2 = (40 \dots 95 \text{ нс})$. Такие задержки коммутационных шин значительно больше собственных задержек вентилях ($t_{зд,сп} \approx 0,5 \dots 10 \text{ нс}$). В современных конструкциях БИС на МДП-транзисторах наблюдается тенденция перехода от двух-, трехслойных систем, состоящих из полупроводниковых, поликремниевых шин и одного слоя металлизации, к использованию двухуров-

новой металлизации с целью повышения плотности компоновки и быстродействия БИС [5].

Обычно сигнальные коммутационные шины 1-го (нижнего) уровня имеют преимущественно одно направление, а шины 2-го (верхнего) уровня ортогональны к шинам 1-го уровня. Для повышения плотности компоновки выделяются специальные каналы только для трасс нижнего уровня металлизации. Трассы верхнего уровня металли-



Рис. 1.4

зации проходят над ячейками матрицы, необходимые электрические контакты между шинами различных уровней осуществляются в областях пересечения вертикальных и горизонтальных трасс.

В БМК на биполярных транзисторах дополнительное повышение плотности компоновки достигается тем, что транзисторы группируются у одной, а резисторы располагаются у другой границы ячейки поперек предполагаемых трасс коммутационных проводников. Так как поверхность резисторов покрыта защитным слоем окисла (рис. 1.4), то в области расположения резисторов, свободной от контактов, располагаются контактные соединения между горизонтальными и вертикальными коммутационными проводниками [1, 2, 4].

Конструкции контактов между двумя проводниками различных уровней изображены на рис. 1.5. В области контакта проводники имеют расширения для обеспечения надежного перекрытия контактирующих проводников через окно в слое изоляции. Минимальные размеры c_B и d_B (рис. 1.5, а), ограничивающиеся возможностями технологии, определяют минимальные расстояния между проводниками слоев:

$$a_H \geq 2f_B + d_B, \quad a_B \geq f_B + c_B \quad \text{при} \quad c_B \approx d_B.$$

Расстояния между проводниками нижнего слоя могут быть уменьшены, если поставить условие: между соседними контактами должен проходить хотя бы один проводник (рис. 1.5, б). В этом случае $a_n \geq f_n + c_n$.

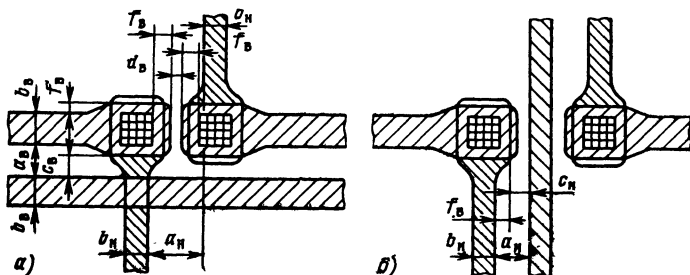


Рис. 1.5

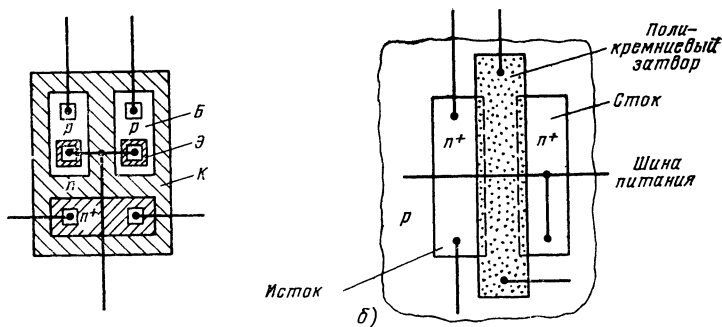


Рис. 1.6

В матричной БИС обычно часть ячеек остается свободной. В областях свободных ячеек прокладываются дополнительные трассы коммутационных проводников. Для осуществления пересечения коммутационных проводников в состав элементов ячейки иногда вводятся низкоомные элементы «подныривания» или конструкции активных элементов выполняются таким образом, чтобы у одной из полупроводниковых областей формировались два контакта на определенном расстоянии. В биполярных транзисторах в качестве элементов «подныривания» используется высоколегированная n^+ -область коллектора (рис. 1.6, а), а в МДП-транзисторах — высоколегирован-

ные области истока и стока и поликремниевый затвор (рис. 1.6, б) [1].

На рис. 1.7, 1.8 показаны различные варианты разводки коммутационных шин в матричных БИС с регулярной структурой. Шины питания и заземления могут быть или ортогональными, или компланарными. Ортогональ-

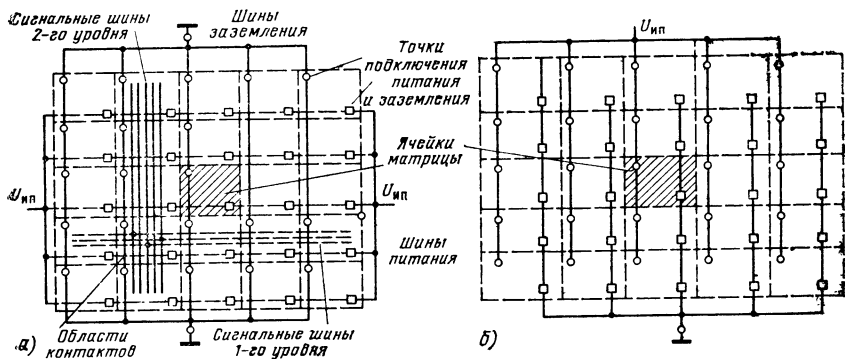


Рис. 1.7

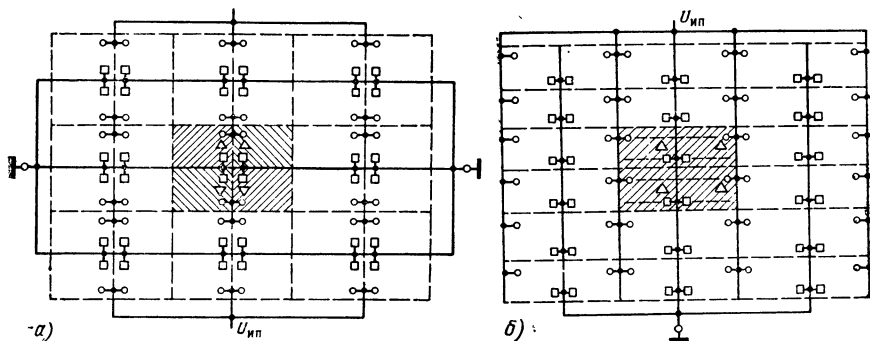


Рис. 1.8

ные шины формируются в различных слоях, например, нижний слой для разводки питания, верхний — для разводки заземления. Компланарные шины укладываются в одном слое. В СБИС со сложной коммутационной сетью компланарные шины питания и заземления формируются в третьем слое металлизации. При этом существенно упрощается автоматизация проектирования двухслойной коммутационной сети сигнальных проводников. Области

контактов шин питания и заземления с элементами кристалла являются запрещенными для коммутационных шин первого и второго слоев.

Возможны два варианта питания ячеек матрицы: 1 — к каждой ячейке подводятся индивидуально шины питания и заземления (рис. 1.7), 2 — каждая шина обеспечивает питание (заземление) ячеек, расположенных симметрично относительно шины (рис. 1.8). Последний вариант позволяет сократить количество шин практически в два раза. При этом может быть идентичное (рис. 1.8, б) и асимметричное (рис. 1.8, а) расположение на поле группы рядом стоящих ячеек. Такое расположение элементов в ячейках матрицы характерно для БИС с ЭСЛ-вентилями. В этом случае используется один источник опорного напряжения для питания четырех ЭСЛ-вентилей. Однако при использовании асимметричного расположения элементов в ячейках матрицы затрудняется автоматизация проектирования БИС, так как система проектирования должна учитывать четыре возможных варианта пространственного положения элементов в ячейках (условно показаны значками Δ на рис. 1.8).

При разработке коммутационной сети необходимо стремиться к минимизации контактных переходов из слоя в слой, так как от количества переходов зависит выход годной продукции и надежность БИС.

1.4. Параметры и характеристики

Набор параметров базовых матричных кристаллов должен быть достаточным для полного описания БМК с точки зрения потребителя. К типовым параметрам и характеристикам относятся: технология изготовления; число логических элементов или ячеек на кристалле; тип логического элемента или структура ячейки; типовые электрические параметры логического элемента (задержка, потребляемая мощность, нагрузочная способность); характеристика элементов входа—выхода; количество входных-выходных контактных площадок; требования к источнику питания; количество масок (фотолитографий), необходимых для формирования заказного электрического монтажа; характеристики библиотечного набора функциональных элементов; стоимость.

Число логических элементов на кристалле может отличаться от числа ячеек матрицы, так как в одной ячейке могут формироваться несколько однотипных или разнотипных элементов (кристаллы фирм Ferranti, Fairchild) [3].

Информация об элементах входа—выхода должна давать полное представление о структуре буферных элементов (простой вход — выход; выход с тремя состояниями; мощный выход) и возможностях сопряжения с другими микросхемами.

Параметры базовых матричных кристаллов, выпуск

Производитель	Тип	Технология	Число логических элементов	Типовые для эле	
				Задержка, нс	нс
1	2	3	4	5	
California Devices Micro Circuit Engineering Ltd. National Semiconductor Corp. IMI	HC	КМОП Me ¹	300...1782	5...10	
	MCE	КМОП Si ² (2 слоя: Me и Si)	560...3000	6	
	SLX6360	КМОП Si (2 слоя металла)	6000	2 (нагрузка на 3—4 входа)	
	G-7000	КМОП Si	200...1960	3 (нагрузка на 3 входа)	
STC-Microtechnology Fairchild Siemens	—	КМОП	1100	2 нс; 35 нс для ЗУПВ 0,5; 1,5 0,5	
	F300 LSI2436	ЭСЛ ЭСЛ	3000 300; 550		
Radiotechnique Complex. La Fujitsu	RTC 600/900/1400/2200	ЭСЛ	600...2200	0,3...0,48	
Texas Instruments AMCC	MB14K	ТТЛШ	208	6	
	MB15K	ТТЛШ	512	1,8	
	TAT020	ТТЛШ	2000	1	
	TAT010 Q250 500/1000	ТТЛШ (внеш.) ЭСЛ (внутр.)	1000 250; 500; 1000	0,9	
IBM	—	ТТЛШ	704+60 (буф.)	1,15	
Texas Instruments	A250/500/1000	ШТЛ	250; 500; 1000	2,2 (нагрузка на 4 входа)	
Signetics	S360B	И ² Л	1584	15	
	8A1200	ИШЛ	1200	3,5	
IBM	—	НВИЛ	Несколько тысяч	0,16...0,23	

¹ КМОП Me — приборы с металлическим затвором.

² КМОП Si — приборы с поликремниевым затвором.

³ Macro — набор из транзисторов и резисторов.

⁴ Вх/Вых — одни и те же элементы могут использоваться для формирования как вход

Таблица 1.1

каемых зарубежными фирмами (3,29, 39, 41, 54, 58)

логического мента		Тип элемента	Элементы входа— выхода	Требования и источнику питания	Сопряже- ние с типом логическ х элементов	Число выводов	Число ма- сок для выпол- нения электри- ческого монтажа
Мощность, мВт							
6		7	8	9	10	11	12
—		2п, 2р, 3п, 3р	Вх, Вых или Вх/Вых ⁴	3...12В	КМОП— ТТЛ	92	1
—		—	Вых на 3 состояния	5 В	КМОП— ТТЛ	—	2
20 мк Вт/мГц		—	—	—	ТТЛ	—	—
—		3-входо- вый И—НЕ, НЕ вентили	Вх, полови- на может быть Вых или Вх/Вых	2...10В	КМОП— ТТЛ	36...116	1
—		—	—	—	—	—	—
9,2 2		Macro ³ Macro ³	64Вх; 8Вых 58Вх; Вых или Вх/Вых	— —4,5 В/1,7 Вт	ЭСЛ/ТТЛ ЭСЛ	180 64	3 3
2,3		—	—	—	ЭСЛ/ТТЛ	—	2
2 2,3 0,3		3-входовой И—НЕ Вентили	25Вх, Вых или Вх/Вых	5 В/0,4 Вт	ТТЛ	60	4
—		—	—	—	—	—	—
2,3		Внешние ЗИЛИ— НЕ—ИЛИ Внутрен- ние любые	Вх, Вых или Вх/Вых	—	ЭСЛ/ТТЛ	—	3
1		НЕ—И	—	—1,5 В	—	—	—
—		Ключ, 4 выхода	36; 50; 100 Вх или Вых	5 В 2 В/0,6 Вт	ТТЛ	40/68/ /108	4
0,3		Ключ	33Вх, Вых или Вх/Вых	5 В/0,5 Вт	ТТЛ	28/40	3
0,17		Ключ, 4 выхода	36Вх, Вых или Вх/Вых	1,5 В	ТТЛ	40,68	2
1,9...0,83		Вентили	—	—	—	—	—

ного, так и выходного буфера.

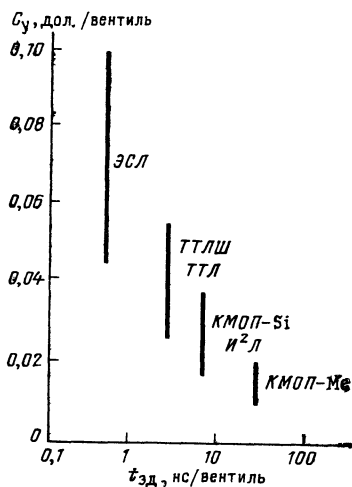


Рис. 1.9

Типовые параметры некоторых базовых кристаллов зарубежных фирм представлены в табл. 1.1. Большое разнообразие БМК обусловлено требованиями рынка сбыта: быстродействующие компьютеры; высококачественная аппаратура связи с цифровой обработкой информации, в том числе телефонная связь; измерительная техника и др.

В большинстве универсальных ЭВМ используются базовые матричные кристаллы на основе самых быстродействующих ЭСЛ-элементов. Использование БИС на БМК вместо ИС с малой степенью интеграции позволяет существенно снизить задержки в элементах и связях.

Используются БМК с различным числом логических элементов — от десятков до тысяч. Сложность БМК на ЭСЛ-элементах ограничивается выделяемой мощно-

стью (2 и 20 Вт) [8]. При мощностях выше 6 Вт кристалл требует жидкостного охлаждения.

В высококачественной аппаратуре связи, периферийных устройствах, измерительной технике широко применяются БМК с элементами среднего быстродействия (КМОП, ТТЛ, И²Л). Отличительной особенностью БМК на КМОП-элементах является малое потребление энергии, не критичность к изменениям напряжения источника питания. Однако при проектировании устройств на этих элементах необходимо в процессе проектирования учитывать зависимость быстродействия от количества элементов нагрузки и емкости электрического монтажа.

Стоимость БМК зависит от типа применяемых элементов. Об этом свидетельствуют данные, приведенные на рис. 1.9 [3]. Здесь C_y — удельная стоимость, дол./вентиль; $t_{зд}$ — время задержки вентиля, нс. Стоимость БИС на основе БМК определяется затратами на комплектующие изделия (кристалл-полуфабрикат, корпус), проектирование, окончательное изготовление кристалла, сборку и контроль БИС. Затраты на проектирование в значительной степени зависят от структуры БМК и состава библиотеки функциональных элементов.

2. Базовые кристаллы БИС на биполярных транзисторах

2.1. Элементная база биполярных БИС

Среди базовых элементов, предназначенных для реализации БИС, наибольшим быстродействием характеризуются элементы на основе биполярных транзисторов. Различают несколько основных

схематехнических разновидностей таких логических элементов: резистивно-транзисторные (РТЛ), транзисторно-транзисторные (ТТЛ), эмиттерно-связанные (ЭСЛ), интегральные инжекционные (И²Л). Разновидностями перечисленных схем являются элементы с барьером Шотки (РТЛШ, ТТЛШ, ЭСЛШ, ИШЛ, ШТЛ) [11].

Исторически ИС типа РТЛ появились одними из первых. Относительная простота технологической реализации этих схем позволила выполнять микросхемы средней сложности при сравнительно невысоком уровне технологии. На рис. 2.1 приведена электрическая

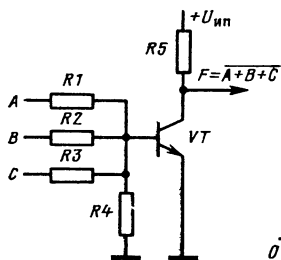


Рис. 2.1

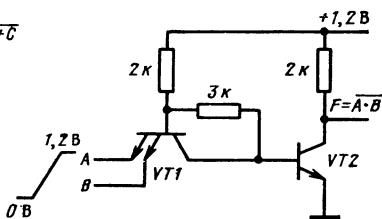


Рис. 2.2

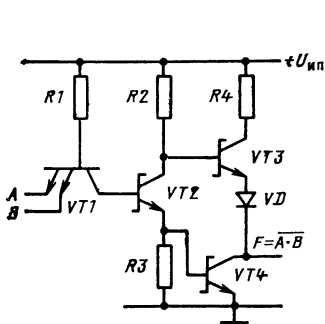


Рис. 2.3

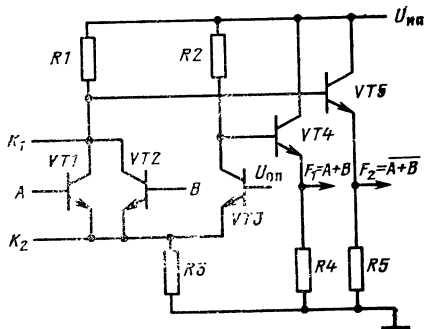


Рис. 2.4

схема логического элемента ИС типа РТЛ, реализующего операцию ИЛИ-НЕ [12]. В РТЛ-элементах значительный ток проходит постоянно по резистивной части схемы, что приводит к большим потерям мощности. В связи со слабой развязкой входов схема обладает низкой помехозащищенностью. Большие постоянные времени заряда и разряда базовой емкости транзисторного усилителя-инвертора из-за высокоомных резисторов на входах снижают быстродействие схем. Указанные недостатки сужают область использования РТЛ-схем в БИС, в том числе и в специализированных, реализуемых на основе БМК.

Разработка технологии изготовления многоэмиттерного транзистора позволила создать широкий ряд серий ИС типа ТТЛ. Многоэмиттерный транзистор представляет собой интегральный элемент, объединяющий преимущества диодных логических схем и транзис-

торного усилителя. ТТЛ-схемы позволили существенно увеличить быстродействие ($t_{зд.ср} = 3 \dots 10$ нс), повысить уровень помехозащитности ($U'_{п} \approx 0,7$ В), а также увеличить функциональную сложность ИС. Эти достоинства обусловили широкое использование ТТЛ-схем в микроэлектронике. Электрическая схема элемента ТТЛ-БИС приведена на рис. 2.2. Этот элемент содержит малое число компонентов и питается от источника с пониженным напряжением, так как к нему предъявляются высокие требования по плотности компоновки и относительно невысокие—по помехоустойчивости. В выходных (буферных) каскадах БИС используются элементы с повышенной помехоустойчивостью. Электрическая схема ТТЛШ-элемента такого типа приведена на рис. 2.3.

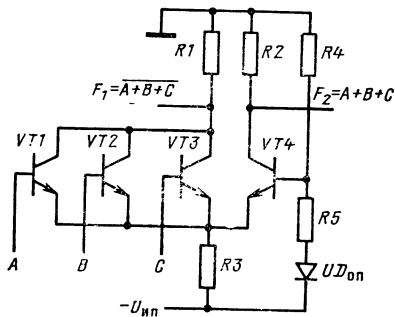


Рис. 2.5

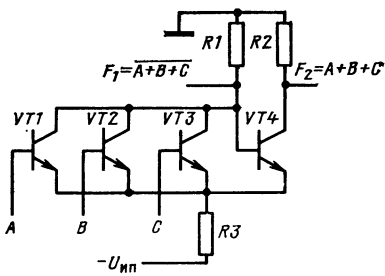


Рис. 2.6

Отличительной чертой ЭСЛ-схем является ненасыщенный режим работы транзисторов, что обеспечивает их высокое быстродействие. Электрическая схема базового элемента ЭСЛ-ИС невысокой степени интеграции приведена на рис. 2.4 [12]. Современные ЭСЛ-схемы имеют задержки распространения в пределах $0,5 \dots 2$ нс на вентиль при потребляемой мощности $2,5 \dots 10$ мВт. Однако при степени интеграции базовых матриц $500 \dots 1000$ вентилей на кристалл для обеспечения потребляемой мощности $P_{ор} \approx 0,5 \dots 1,0$ Вт на БИС необходимо при сохранении быстродействия снизить мощность ЭСЛ-вентиля на порядок.

Наиболее перспективным путем уменьшения значения $Pt_{зд}$ является использование схем с уменьшенным логическим перепадом и пониженным напряжением питания. Уменьшение напряжения питания в модифицированных схемах ЭСЛ до $2,0 \dots 2,4$ В, логического перепада до $0,4$ В позволяет снизить значение $Pt_{зд}$ на порядок.

На рис. 2.5 приведена малосигнальная схема ЭСЛ (МЭСЛ) [13], которая представляет собой обычный переключатель тока с уменьшенным логическим перепадом $U_{л} = 0,3 \dots 0,4$ В. Опорное напряжение снимается с делителя, образованного резисторами $R4$, $R5$ и опорным диодом $VD_{оп}$ в каждом элементе, или используется источник опорного напряжения, как в обычных ЭСЛ-схемах.

Малосигнальная схема ЭСЛ с гистерезисом на передаточной характеристике, приведенная на рис. 2.6 [13], строится на основе триггера Шмитта (без источника опорного напряжения). Упрощение схемы приводит к снижению потребляемой мощности и уменьшению площади, занимаемой на кристалле данной схемой по сравнению со

схемой МЭСЛ. Кроме того, регенеративная обратная связь повышает относительный запас помехоустойчивости, компенсирует дестабилизирующее влияние температуры, а также разброса и ухода параметров компонентов.

Существенный выигрыш при проектировании цифровых устройств дает использование двухступенчатых малосигнальных схем ЭСЛ. Введение дополнительной ступени управления расширяет логические возможности функциональных элементов при небольшом повышении потребляемой мощности, что эквивалентно снижению

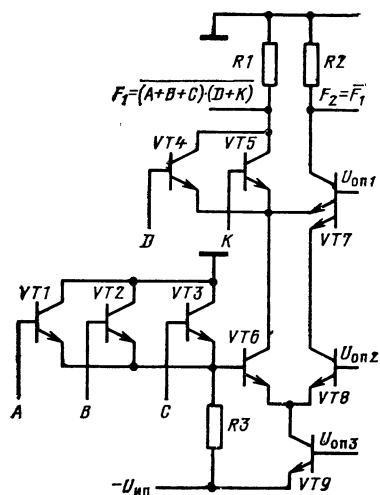


Рис. 2.7

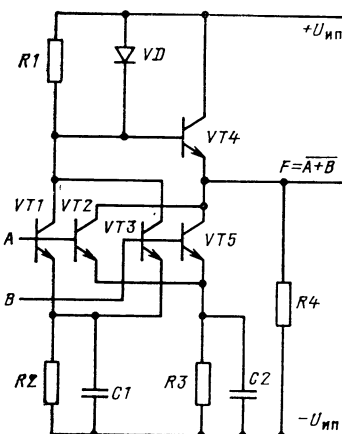


Рис. 2.8

$Pt_{эд}$. На рис. 2.7 приведена малосигнальная схема ЭСЛ с двухступенчатым управлением [13]. Аналогично строятся и двухступенчатые схемы с гистерезисом на передаточной характеристике (см. рис. 2.6, 2.7). Многофункциональная ячейка матрицы, на основе которой реализуются схемы подобного типа, описана в § 2.2. Подробный сравнительный анализ электрических характеристик разновидностей быстродействующих схем на переключателях тока дан в [57].

Новой разновидностью базовых элементов СБИС является низковольтная инверторная логика (НВИЛ), превосходящая по быстродействию ЭСЛ-схемы [51]. Электрическая схема НВИЛ-элемента приведена на рис. 2.8. В настоящее время такие элементы имеют значение $Pt_{эд}$ всего 0,6 пДж, что в два раза меньше, чем у ТТЛ-схем, и примерно в десять раз — чем у ЭСЛ-схем. При потребляемой мощности 0,83 мВт задержка элемента составляет 230 пс, при 1,9 мВт — 160 пс. Площадь, занимаемая элементом, — около 10 000 мкм².

Каждый из описанных выше типов базовых схем содержит резисторы. Рассеиваемая на них мощность ухудшает энергетические характеристики схем. Кроме того, резисторы занимают значительную площадь на кристалле микросхемы.

Развитие принципов функциональной интеграции позволило создать логические И²Л-элементы на биполярных транзисторах, в которых полностью отсутствуют резисторы. На рис. 2.9 приведены электрическая схема и структура двухвходового логического И²Л-элемента И—НЕ [14], в котором используется логическая функция «монтажное И». Отсутствие резисторов обеспечило высокие энергетические, компоновочные и конструктивно-технологические характеристики И²Л-структур, что, в свою очередь, обуславливает перспективность их использования в качестве базовых элементов матричных БИС.

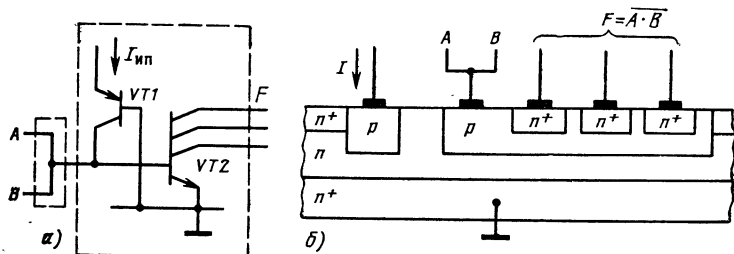


Рис. 2.9

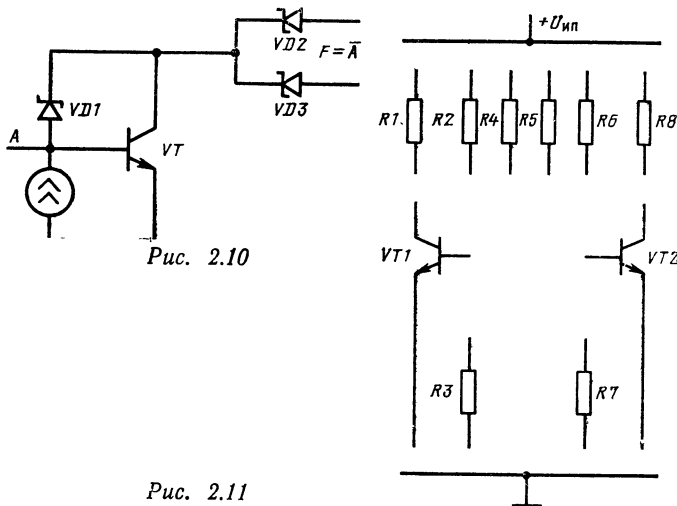


Рис. 2.10

Рис. 2.11

Использование переходов Шоттки позволяет повысить быстродействие элементов на биполярных транзисторах. В ТТЛ-элементах с фиксирующими диодами Шоттки (ТТЛШ) время задержки уменьшается благодаря уменьшению степени насыщения ключевого транзистора. В элементах И²Л при введении переходов Шоттки (ИШЛ) быстродействие повышается за счет уменьшения логического перепада [11]. Существенное повышение быстродействия И²Л-схем может

быть достигнуто при использовании как фиксирующего (между базой и коллектором), так и коллекторного переходов Шоттки, как показано на рис. 2.10. Быстродействие таких элементов в 1,5 ... 2 раза выше, чем у типовых [15].

2.2. Базовые кристаллы на основе схем РТЛ, ТТЛ и ЭСЛ

Ячейки матриц на основе схем РТЛ, ТТЛ и ЭСЛ содержат комбинации транзисторов и резисторов, число которых определяется общими требованиями к кристаллу и типам базовых элементов.

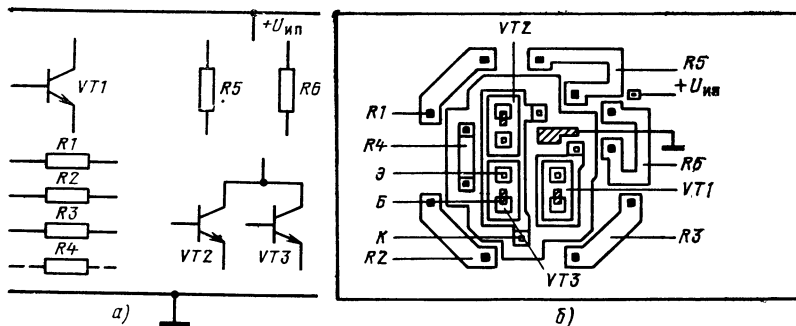


Рис. 2.12

В ячейках типа РТЛ основную часть площади кристалла занимают резисторы. На рис. 2.11 приведена электрическая схема такой ячейки, содержащей восемь резисторов и два транзистора. На ее основе могут быть реализованы следующие функциональные схемы: два двухвходовых логических элемента ИЛИ—НЕ, два логических элемента И—НЕ, асинхронный RS-триггер. Объединением нескольких ячеек матрицы можно получить схемы, реализующие более сложные функции. Серьезные недостатки РТЛ-схем, отмеченные выше, существенно ограничивают их использование в качестве базовых элементов БИС.

Электрическая схема и топология типовой ячейки ТТЛ-матрицы базового кристалла приведены на рис. 2.12 [2, 16]. Ячейка содержит три транзистора и шесть резисторов, расположенных по периферии. Резистор $R4$ —низкоомный и может использоваться в качестве элемента «подныривания» при прокладке металлизированных межсоединений. Транзисторы $VT2$ и $VT3$ имеют общую коллекторную область, поэтому двух-

эмиттерный транзистор образуется соединением их базовых выводов. Различные комбинации из элементов ячейки матрицы, получающиеся при помощи заказной металлизации, позволяют реализовать практически любые логические функции. Оригинальная форма и расположение резисторов упрощают разводку межсоединений как внутри ячеек матрицы, так и между ними. Матрица выполнена по типовой технологии с коллекторной изолирующей диффузией (КИД), описанной ниже. Особенностью этой технологии является то, что все ячейки матрицы окружены слоем n^+ -типа, подключенным к положительному полюсу источника напряжения, что существенно облегчает разводку цепей питания.

Ячейки матрицы имеют малую выходную мощность, поскольку они соединяются лишь друг с другом в пределах матрицы. Малая мощность ячеек обеспечивает хорошие энергетические характеристики всей БИС в целом. Интерфейсные ячейки имеют повышенную мощность, что необходимо для согласования микросхемы с внешними устройствами. Повышенная мощность обеспечивается за счет применения специальной схемотехники и конструкции ячеек. На рис. 2.13 приведена электрическая схема ячейки интерфейса, содержащей два отдельных транзистора ($VT1$ и $VT2$), два транзистора с объединенными электродами ($VT3$ и $VT4$), пять резисторов (один из них, $R1$, используется как токоограничительный в цепи питания), а также шины питания, нулевого потенциала и смещения. Транзисторы $VT3$ и $VT4$ образуют составной транзистор, имеющий высокий коэффициент усиления (равен произведению коэффициентов составляющих транзисторов) и повышенную нагрузочную способность. Кроме того, указанные транзисторы имеют развитые коллекторы, что способствует увеличению рабочих токов. Описанные схемотехнические и конструктивные особенности позволяют получить необходимые характеристики каскадов, построенных на основе интерфейсных ячеек. Для примера на рис. 2.14 приведена электрическая схема мощного выходного каскада, реализованного на основе описанной выше ячейки интерфейса (см. рис. 2.13). Каскады, обеспечивающие связь микросхем с внешними устройствами, должны иметь хорошую защиту от внешних помех. Помехоустойчивость возрастает с уве-

личением напряжения питания, так как при этом возрастают логические перепады, на фоне которых помехи становятся менее опасными. Поэтому интерфейсные каскады питаются от источника смещения $+U_{см}$, напряжение которого выше, чем источника питания $+U_{ип}$.

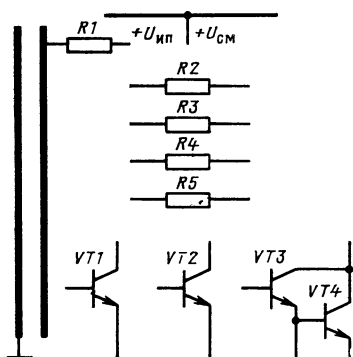


Рис. 2.13

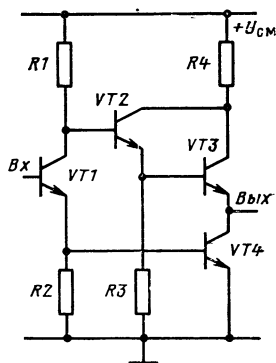


Рис. 2.14

Базовый кристалл на основе описанных элементов содержит 484 идентичных некоммутированных ячейки в матрице [16]. Четыре квадранта матрицы, в каждом из которых расположено по 121 ячейке, разделены контактными площадками, расположенными крестообразно. По периферии кристалла расположено 48 интерфейсных ячеек, причем для снижения общей потребляемой мощности и повышения помехоустойчивости основные и интерфейсные ячейки работают при различных напряжениях питания (основные $+1,2$ В, интерфейсные $+5$ В). При одновременной работе 450 вентилях кристалла возможны три режима функционирования: маломощный, стандартный и режим повышенного быстродействия. В маломощном режиме максимальная тактовая частота составляет 250 кГц (задержка 250 нс на вентиль) при потребляемой мощности 80 мВт; в стандартном — 3 мГц (задержка 25 нс) при 650 мВт; в быстродействующем — 10 мГц (задержка 15 нс) при мощности 800 мВт на кристалл.

Представляет интерес базовый кристалл с ТТЛШ-вентильями, на основе которого разработаны логические БИС ЭВМ «Система-138» фирмы ИВМ. Каждая из

этих схем представляет собой матрицу из 704 некоммутированных ТТЛШ-вентилей. При использовании двухуровневой металлизации удается получить на этой основе 22 логические схемы (третий слой металлизации, используемой для разводки питания и сигнальных входных и выходных шин, остается неизменным для всех БИС).

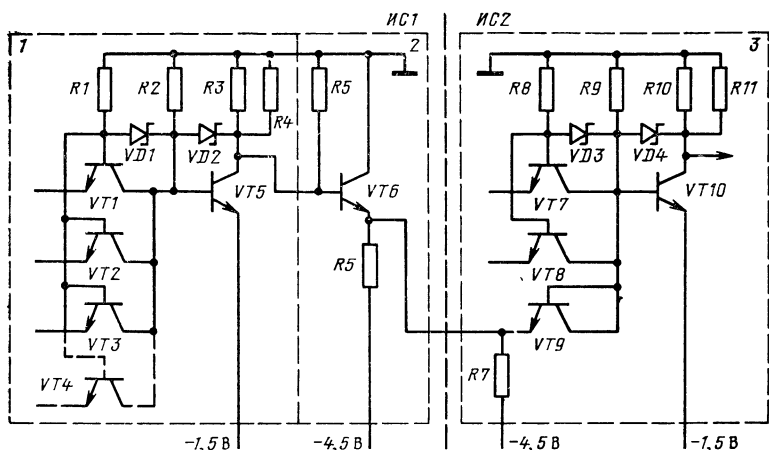


Рис. 2.15

На кристалле БИС размером $4,5 \times 4,5$ мм предусмотрены 132 точки для присоединения внешних контактов, из них 94-сигнальные. Такое большое количество сигнальных контактов обеспечивает разработчику большую свободу при распределении функций системы по кристаллам. Помимо 704 вентилей, на каждом кристалле БИС содержится еще 60 интерфейсных схем. Логические вентили, типовые задержки которых составляют 3...5 нс, работают от источника питания напряжением 1,5 В, напряжение питания интерфейсных схем 4,5 В. На рис. 2.15 приведена электрическая схема, иллюстрирующая согласование между двумя ИС описанного типа с использованием интерфейсных схем. Цифрой 1 здесь обозначен внутренний ТТЛШ-вентиль, выход которого подключен к интерфейсному элементу — эмиттерному повторителю на транзисторе VT6. Для увеличения выходного тока вентиля параллельно нагрузочному резистору R3 может быть

подключен резистор $R4$ такого же номинала. Выход эмиттерного повторителя ИС1 соединен с ТТЛШ-вентилем ИС2, у которого один из входных транзисторов включен по диодной схеме для приема внешних сигналов.

С повышением степени интеграции БИС основным становится требование к обеспечению высокой плотности компоновки элементов на кристалле, что достигается уменьшением числа компонентов в вентиле, т. е. упрощением схемотехники.

На рис. 2.16 приведена электрическая схема упрощенного ТТЛШ-вентиля, аналогичного описанному выше (см. рис. 2.2). Простота схемы позволила расположить в матрице базового кристалла с площадью $7 \times 7 \text{ мм}^2$ 5000 таких вентиляей

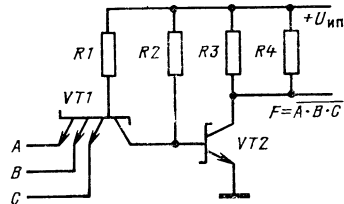


Рис. 2.16

(около 45 тыс. компонентов) [17]. Благодаря использованию переходов Шотки удалось сократить время задержки вентиля до 2,2 нс. На основе такого базового кристалла была реализована сверхбольшая ИС центрального процессора ЭВМ «Система-370». Общая длина соединительных проводников в этой микросхеме достигает нескольких десятков метров. Это приводит к увеличению емкости проводников и снижению быстродействия вентиляей, подключаемых к ним. Для повышения быстродействия системы «вентиль — длинная линия» параллельно резистору $R3$ (см. рис. 2.16) подключался такой же резистор $R4$, снижающий вдвое сопротивление нагрузки и время заряда емкости подключаемой к вентилю шины.

Описанные ячейки матрицы и базовые кристаллы могут использоваться при реализации, в основном, БИС низкого и среднего быстродействия. Наиболее перспективной элементной базой для биполярных БИС высокого быстродействия являются структуры типа ЭСЛ [18, 19, 57].

На рис. 2.17 приведен типовой набор элементов ячейки ЭСЛ — матрицы. Набор используется при реализации достаточно большого числа типов логических элементов (функциональных узлов) [8]. Ряд коллек-

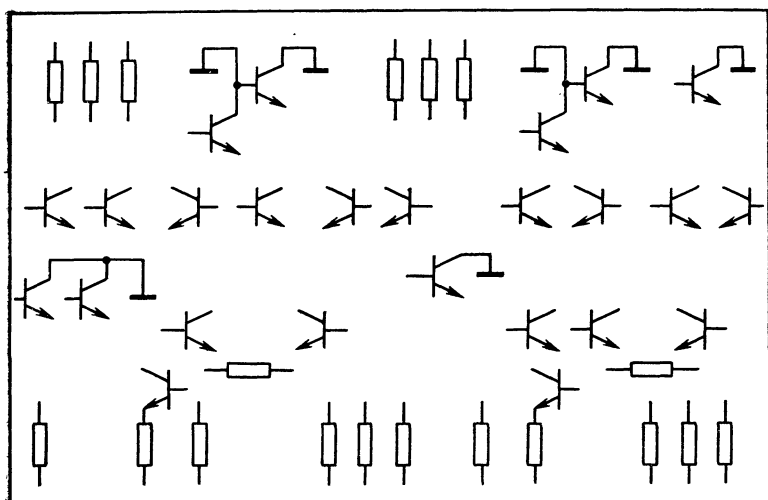


Рис. 2.17

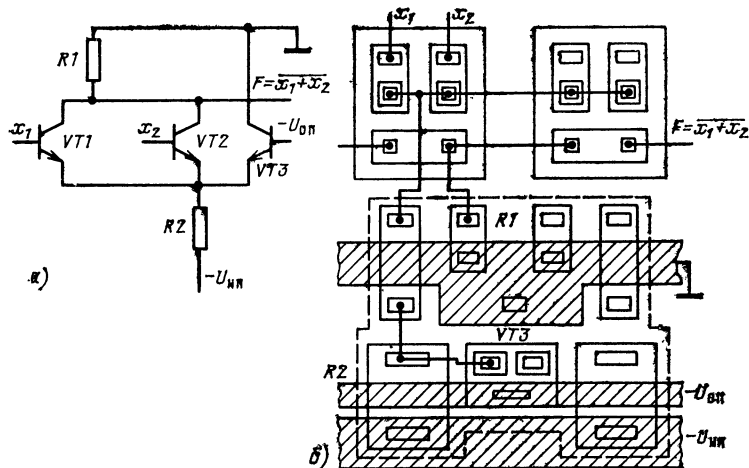


Рис. 2.18

торов транзисторов соединен с общей шиной, так как обычно в ЭСЛ-схемах положительный полюс источника питания заземляется, а отрицательный подключается к нагрузочным резисторам эмиттерных повторителей. Характерно, что взаиморасположение элементов электрической схемы отражает их размещение на кристал-

ле. Это позволяет использовать данный рисунок для предварительной проработки вариантов внутрисхемных межсоединений в функциональном узле.

Другой пример реализации электрической схемы и топологии фрагмента матрицы ЭСЛ-типа приведен на рис. 2.18 [2]. Для повышения плотности компоновки двухэмиттерная структура $VT3$ конструкции принадлежит сразу двум ячейкам, а коллекторные области транзисторов $VT1$, $VT2$ используются в качестве элементов «подныривания» с целью реализации пересечения шин.

На рис. 2.19 приведена электрическая схема многофункциональной ячейки для реализации сложных ЭСЛ-схем с двухступенчатым управлением [10]. На периферию ячейки вынесены только входные и выходные шины, отмеченные на рисунке квадратами. Остальные межсоединения осуществляются внутри ячейки в соответствии с электрической схемой узла. На основе данной ячейки легко реализуется ЭСЛ-схема с двухступенчатым управлением (см. рис. 2.7).

Связь ЭСЛ-кристаллов с внешними схемами иногда осуществляется с помощью специальных буферов так, как показано на рис. 2.20. Выходные сигналы ячеек матрицы подаются на базы мощных транзисторов с заземленными коллекторами, эмиттеры которых подсоединены к контактным площадкам кристалла. К этим площадкам подключаются внешние резисторы, представляющие собой нагрузки эмиттерных повторителей, с которых и снимаются выходные сигналы БИС.

Примером конструкции базового кристалла ЭСЛ-типа может служить БИС «Макроселл», размещение блоков кристалла которой приведено на рис. 2.21 [20]. Он содержит 66 крупных блоков, реализующих большую часть логических функций (косая штриховка). Эти блоки организованы в матрицу 6×11 и идентичны друг другу. В каждом из них содержатся около 50 транзисторов и 50 резисторов. Макроэлемент (элемент библиотечного набора) формируется путем соединения транзисторов и резисторов основного элемента с помощью внутренних межсоединений. В настоящее время определены 54 различных функциональных элемента.

На периферии описываемого кристалла размещены 32 интерфейсных элемента (на рис. 2.21 показаны без штриховки). Их логические возможности ниже, чем у основного элемента. Они выполняют 14 функций: вен-

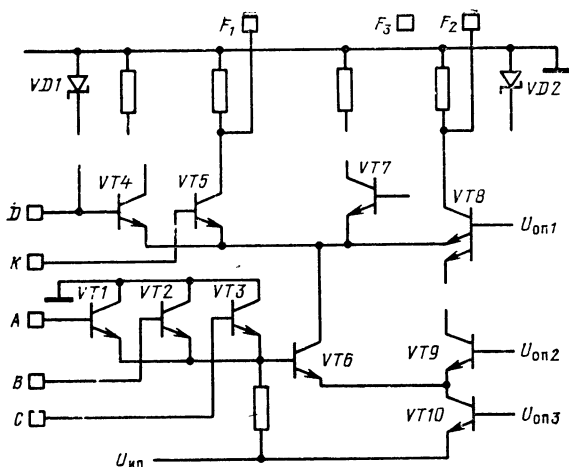


Рис. 2.19

Контактные площадки

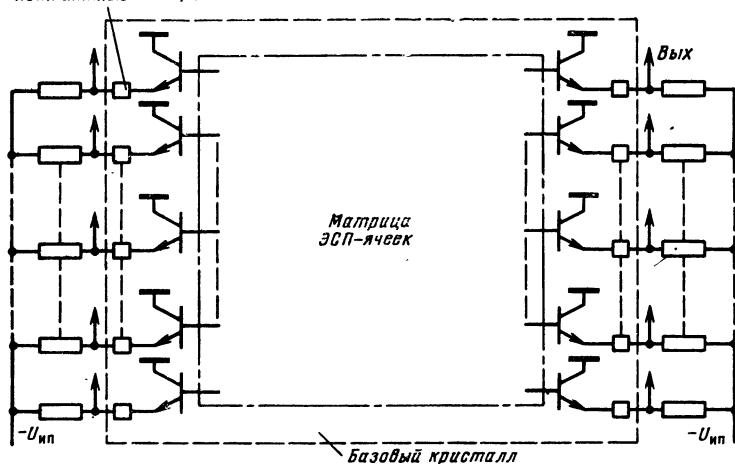


Рис. 2.20

тилей, инверторов, буферов синхронизации, запоминающих регистров и т. д. Интерфейсные элементы могут использоваться также в тех случаях, когда нецелесообразно занимать основной элемент для реализации простых логических функций. Кроме перечисленных, в кристалл входят 26 выходных элементов (сетчатая

штриховка), используемых для согласования описываемой БИС с ЭСЛ-схемами стандартных серий. Кроме того, выходные элементы могут выполнять до 17 логических операций.

Рассмотренные ЭСЛ-ячейки и кристаллы реализуются, как правило, по типовой технологии с зазорами и шириной линий на фотошаблоне 4...5 мкм. При уменьшении этих размеров и использовании современ-

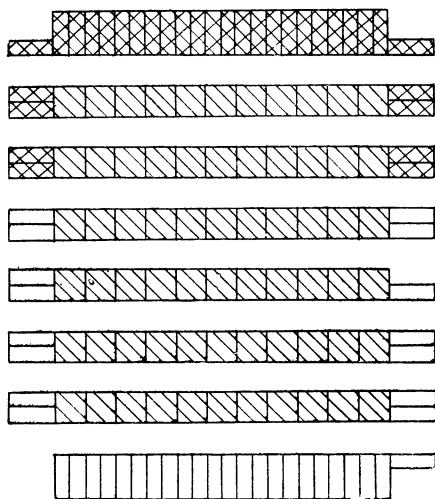


Рис. 2.21

ных достижений технологии быстродействие ЭСЛ-матриц существенно увеличивается. Например, использование «полного» эмиттера [21] и дополнительной фотолитографии в технологическом процессе с коллекторной изолирующей диффузией позволило реализовать матрицу с минимальным временем задержки 0,5 нс/вентиль [18]. В матрицах фирмы RTC достигнуты еще меньшие задержки — 0,3—0,45 нс/вентиль. Использование в качестве исходного материала арсенида галлия позволило фирме Motorola реализовать базовые кристаллы с вентилями, задержки которых составляют 250 пс [19].

Большой интерес представляют матрицы с ячейками комбинированного типа. В этих ячейках используются одновременно элементы различных логических схем. Если в ячейку ввести резисторы, многоэмиттер-

ные и обычные транзисторы, то, комбинируя металлизированные межсоединения, можно получить вентили и РТЛ-, и ТТЛ-, и ЭСЛ-типа. Возможность комбинирования обуславливает универсальность такой матрицы [2]. Например, на основе ячейки фирмы Ferranti (см. рис. 2.12). могут быть реализованы ТТЛ- и РТЛ-элементы (см. рис. 2.11).

2.3. Кристаллы на основе И²Л-схем

Биполярные транзисторные структуры с инжекционным питанием обладают высокими электрическими и конструктивно-технологическими характеристиками, а также позволяют создавать на одном кристалле линейные и цифровые устройства с малым потреблением энергии по планарно-эпитаксиальной типовой технологии ИС, что определяет перспективность их использования при построении базовых кристаллов для матричных БИС [14]. И²Л-БМК по быстродействию занимают промежуточное положение между КМОП — матрицами и быстродействующими кристаллами ЭСЛ-типа, причем используются различные разновидности этой технологии [8]. Фирма Ехаг применяет стандартный И²Л-процесс. Ячейка одной из матриц этой фирмы, топология которой приведена на рис. 2.22 [22], содержит 8 секционированных инжекторов и 16 трехколлекторных $n-p-n$ -транзисторов с изоляцией n^+ -областями между базами. Матрица другого БМК содержит 100 ячеек, в каждой из которых расположено по 8 четырехколлекторных И²Л-инверторов [23]. В матрице использована двухуровневая разводка: внутри ячейки — межсоединения из Al , между ячейками — диффузионные слои. На основе данной матрицы реализована функциональная БИС, содержащая 650 инверторов. Полученный при этом коэффициент использования площади кристалла составил 81,25 %. Еще раньше фирмой Ехаг разработаны две И²Л-матрицы, содержащие буферные элементы на основе $n-p-n$ -транзисторов с диодами Шотки [24]. В этих матрицах вентили, реализующие цифровые функции с высокой плотностью размещения, объединены с высокоскоростными входными и выходными буферными элементами.

Аналогично строятся БМК фирмы Signetics [25, 26]. Матрица содержит типовые И²Л-элементы с фиксирую-

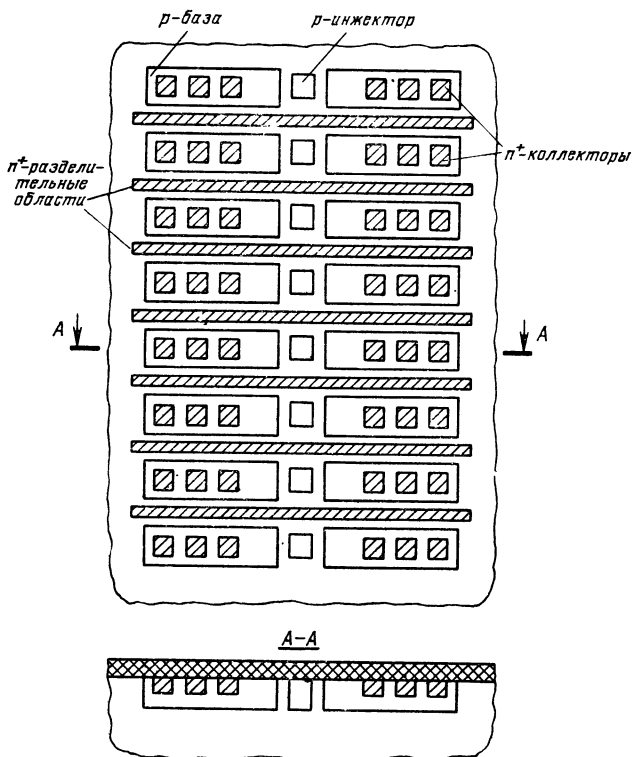


Рис. 2.22

щими и развязывающими диодами Шотки, а в качестве буферов используются ТТЛ-элементы с диодами Шотки. При этом время задержки как во внутренних, так и во внешних элементах составляет 2...4 нс/вентиль. Использование одного из кристаллов схемы 8A1200 позволяет заменить 65 корпусов, а другого — схемы 8A1500—80 корпусов стандартных ИС (последние цифры в названии схемы обозначают число вентилях в матрице).

На рис. 2.23 приведен разработанный авторами базовый кристалл на структурах с инжекционным питанием [7]. Он содержит матрицу, включающую 2688 инверторов, по 12 в каждой ячейке (1). По периферии матрицы расположены 60 интерфейсных узлов (2), в каждом из которых размещены входной и

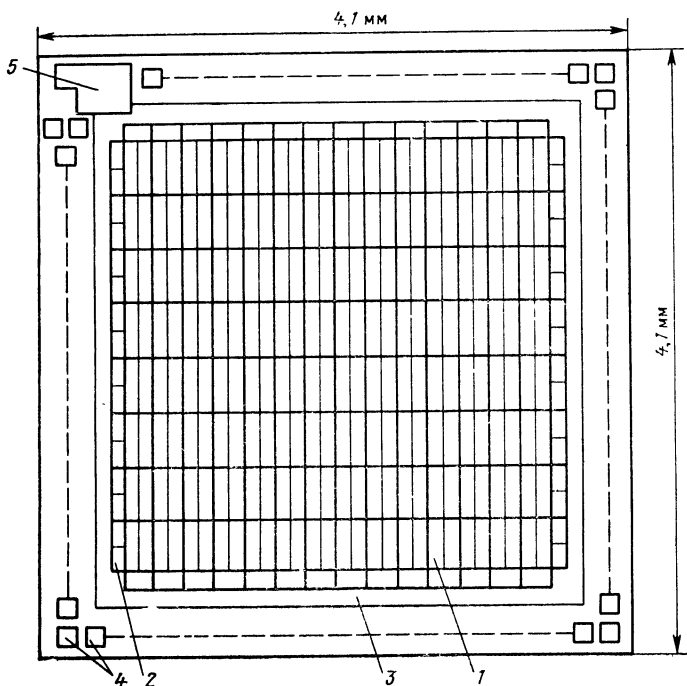


Рис. 2.23

выходной буферные элементы. Матрица ячеек и буферы обрамлены полупроводниковым слоем n^+ -типа (3), расположенным в приповерхностной области кристалла и предназначенным для улучшения токораспределения по кристаллу. По периметру кристалла размещены 56 контактных площадок (4) и технологическая тестовая структура (5), предназначенная для пооперационного контроля и корректировки параметров структур кристалла в процессе его изготовления.

Анализ различных вариантов матричных БИС с учетом особенностей структур инжекционной логики показал, что наиболее приемлемой для реализации специализированных микросхем средней степени интеграции (порядка 100—1000 логических вентилей) является непрерывная матрица без специальных коммутационных полос. Для объединения элементов в соответствии со схемой используются два цикла фотоли-

тографии: вскрытие контактных окон в слое двуокиси кремния и создание одноуровневой алюминиевой металлизации.

Топология ячейки кристалла приведена на рис. 2.24. Она содержит трехколлекторные транзисторы, предназначенные для реализации функциональных узлов, и одноколлекторные транзисторы с удлиненными коллекторами, которые используются как для реализации заданных функций, так и для устранения пересечений с

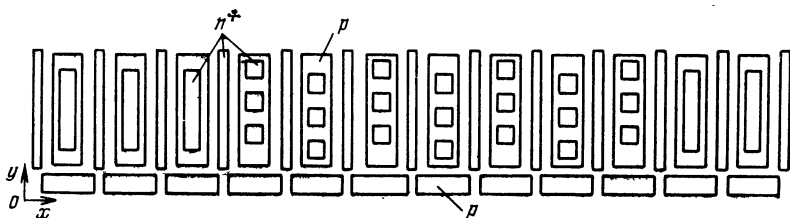


Рис. 2.24

применением «подныриваний» при одноуровневой металлизации. Количество коллекторов в структуре и соотношение трехколлекторных и одноколлекторных транзисторов определено из анализа типовых схем И²Л-БИС.

Коллекторы трехколлекторных транзисторов в ячейке расположены в шахматном порядке, что облегчает трассировку межсоединений (коллекторы расположены напротив областей баз соседних структур, предназначенных для расположения базовых контактов). Базовые области структур отделены друг от друга охранными n^+ -областями, вследствие чего уменьшается взаимодействие между $n-p-n$ -транзисторами и повышаются их коэффициенты усиления [14]. Кроме того, охранные области используются в качестве шин нулевого потенциала при реализации элементов «подныривания».

В предложенной ячейке использованы секционированные инжекторы, что обеспечивает повышение коэффициентов усиления тока $p-n-p$ -транзисторов и позволяет упростить разводку шин питания. Кроме того, можно подключить к шине питания только инжекторы задействованных в схеме структур, что существенно (в 2...10 раз) снижает потребляемую мощность.

Между секциями инжекторов отсутствуют охранные n^+ -области. Это дает возможность реализовать на основе структур ячейки элементы с инжекционными связями, повышающими функциональные возможности и плотность компоновки узлов матрицы.

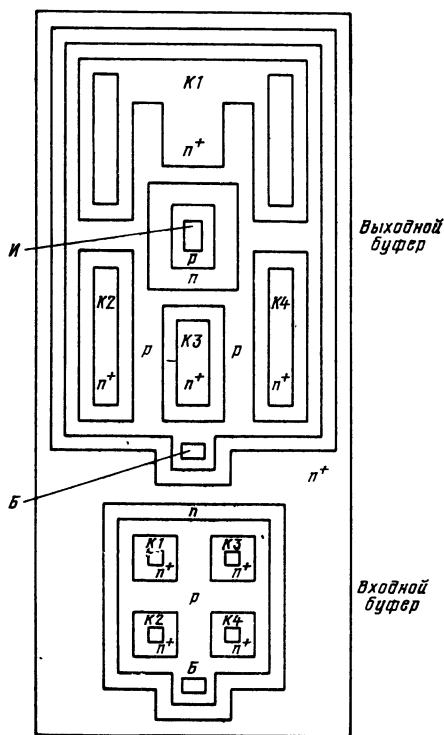


Рис. 2.25

Топология интерфейсного узла приведена на рис. 2.25. В качестве входного буферного элемента используется четырехколлекторный транзистор без инжектора. Для повышения коэффициента усиления коллекторы входного буферного элемента можно объединять металлизацией.

Выходной буферный элемент представляет собой структуру с развитым коллектором, кольцевой базой и центральным инжектором. На его вход подаются сигналы с коллекторов вентилях ячеек матрицы, а к выходной площадке БИС подключается «открытый»

коллектор буферного элемента. В базу $n-p-n$ -транзистора буферного выходного элемента задается в 2,8 раза больший ток, чем в базу $n-p-n$ -транзистора матрицы. Описанный буфер обеспечивает согласование выходов БИС с аналогичными кристаллами и с микросхемами ТТЛ- или КМОП-типа.

С целью упрощения проектирования применяется библиотечный набор логических элементов и функциональных узлов, реализованных на основе ячеек матрицы базового кристалла. Набор содержит 22 узла и

включает логические элементы, триггеры различных типов, счетчики, сумматоры, ячейки регистров. На основе библиотеки элементов и узлов реализуется широкий класс цифровых специализированных БИС. При необходимости этот набор может быть расширен. На рис. 2.26 и 2.27 приведены электрическая схема и топология одного из элементов библиотечного набора —

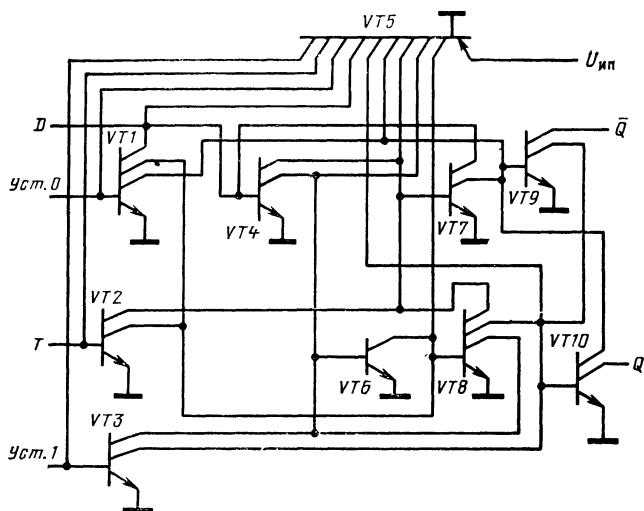


Рис. 2.26

универсального D_t -триггера со входами установки в 0 и 1. Здесь же (рис. 2.27, б) приведен пример реализации пересечения шин с использованием одноколлекторного транзистора. База этого транзистора должна быть заземлена (соединение с n^+ -областью).

Экспериментальное исследование базовых кристаллов, изготовленных по типовой технологии И²Л-ИС с использованием двух фотошаблонов и двух операций диффузии примесей при минимальной ширине линий на фотошаблонах 4 мкм, показало следующие характеристики структур: среднее время задержки в трехколлекторном вентиле инвертора составило 8...13 нс при токе инжектора 320...230 мкА, произведение среднего времени задержки на потребляемую мощность в диапазоне микротоков около 1,5 пДж.

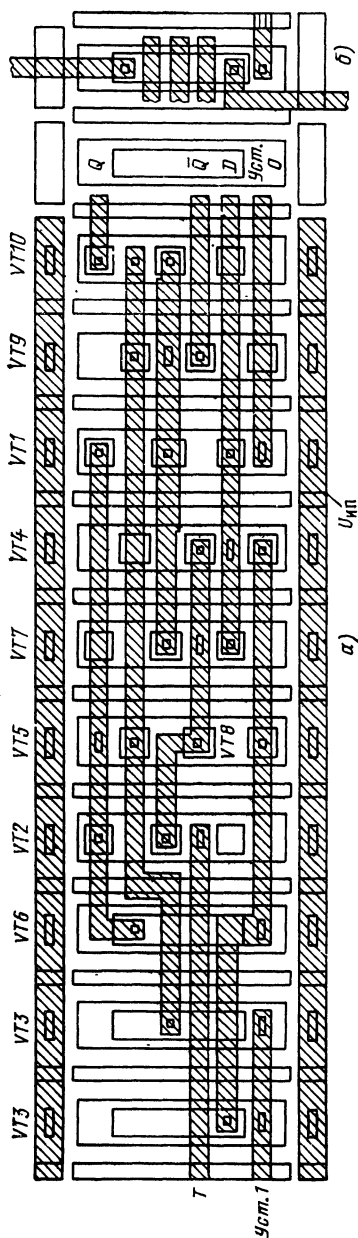


Рис. 2.27

В табл. 2.1 представлены характеристики основных элементов и узлов библиотечного набора (минимальная ширина линий на фотошаблоне— 4 мкм).

Особенности структур с инжекционным питанием позволяют строить на основе базового кристалла как микромощные БИС малого и среднего быстродействия, так и быстродействующие микросхемы. Причем даже при максимальном быстродействии (время задержки 8 нс на инвертор) и коэффициенте использования элементов кристалла 0,5 (более 1400 инверторов) мощность, потребляемая БИС при напряжении питания 1,2 В, не превысит 550 мВт, что обеспечит нормальный тепловой режим и высокую надежность в широком диапазоне температур.

Регулярное расположение ячеек матрицы на поле кристалла и фиксированная ориентация выводов узлов набора позволяют приспособить имеющиеся программы автоматизированного размещения и трассировки, а

также облегчают использование систем автоматизированного проектирования фотошаблонов.

При разработке топологии особое внимание уделялось разводке шин питания и уменьшению их сопротивления. Для обеспечения равномерного распределения тока источника питания элементы «подныривания» включаются только в сигнальные шины.

Т а б л и ц а 2.1

Характеристики элементов набора

Наименование элемента	Площадь, мкм ²	Время задержки, нс	Ток питания, мкА
Асинхронный триггер <i>RS</i> -типа	7524	16	640
Универсальный триггер <i>D</i> -типа	37 620	32	3200
Комбинационный полусумматор	22 572	24	1920
Регистр сдвига	26 334	24	2240
Реверсивный регистр сдвига	45 144	40	3840
Счетчик	26 334	24	2240
Реверсивный счетчик	41 382	32	3520
Инвертор	3762	8	320
Логический элемент 2 ИЛИ—НЕ	7524	8	640

Опыт проектирования показал возможность эффективного применения предложенного базового кристалла для разработки специализированных БИС-И²Л.

При разработке больших базовых И²Л-кристаллов ($S_{кр} > 20$ мм²), предназначенных для реализации БИС с числом вентилях 1000 и более, необходимо учитывать падение напряжения на общей шине, в качестве которой обычно используется n^+ -подложка. Падение напряжения на сопротивлении подложки приводит к неравномерному токораспределению по площади кристалла. Для уменьшения сопротивления подложки приходится принимать специальные меры (например, шунтирование слоев полупроводника металлическими шинами). Для улучшения токораспределения используется магистральная разводка шин питания, пример которой приведен на рис. 2.28. Имеется одна или несколько магистральных шин, от которых ответвляются периферийные, каждая из последних обслуживает группу инжекторов. С целью улучшения токораспределения между отдельными инжекторами и повышения температурной стабильности в периферийные и магистраль-

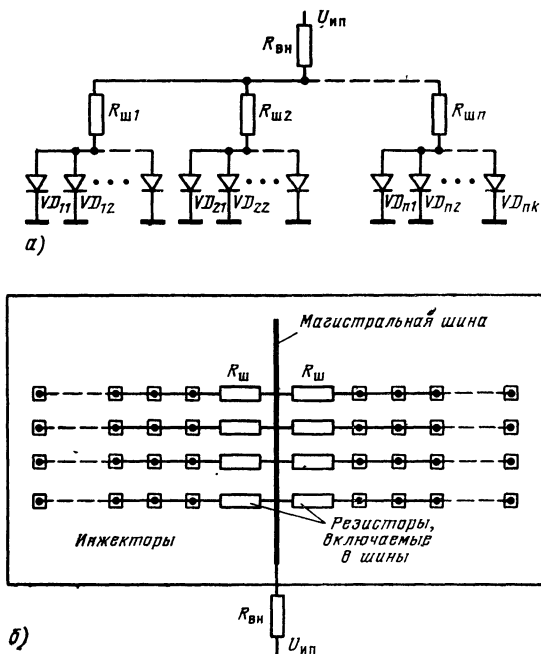


Рис. 2.28

ную шины включаются резисторы. Изменением сопротивлений резисторов $R_{ш}$ можно обеспечить наиболее оптимальное распределение мощности по кристаллу в зависимости от функции, выполняемой тем или иным узлом схемы.

2.4. Технологические особенности реализации базовых элементов биполярных БИС

В настоящее время для формирования биполярных интегральных структур наиболее широко применяется планарно-эпитаксиальный метод. На рис. 2.29 изображена типовая структура n - p - n -транзистора, сформированного этим методом [27]. Технологический процесс включает следующие этапы: формирование скрытого n^+ -слоя в подложке, наращивание эпитаксиального слоя n -типа, формирование изолирующих областей p^+ -типа, формирование базовых (p) и эмиттерных (n^+) — областей и, наконец, создание металлических пленочных внутрисхемных соединений. Интегральные резисторы реализуются на основе базовых или эмиттерных областей, расположенных в изолированных «карманах» (области эпитаксиального слоя n -типа). Наиболее простой и технологичный способ формирования изолирующей

щих, базовых и эмиттерных областей — диффузия, однако при этом относительно велики толщины эпитаксиального и диффузионных слоев, что обуславливает сравнительно большие размеры и емкости элементов ИС. С целью повышения плотности компоновки элементов и быстродействия ИС используют ионное легирование с последующей разгонкой. Данный метод является основным при реализации большинства базовых элементов БИС, в том числе и описанных выше. Однако наряду с ним используются и другие методы формирования структур ИС с изоляцией $p-n$ -переходом.

Более высокую (в 1,5—2,5 раза) плотность компоновки обеспечивает метод с коллекторной изолирующей диффузией (КИД-технология, см. рис. 2.30) [27]. В

исходную высокоомную подложку p -типа проводится первая диффузия для создания скрытого n^+ -слоя. Затем на всей поверхности наращивается эпитаксиальный p -слой и проводится разделительная диффузия. Диффузионный n^+ -слой достигает скрытого n^+ -слоя и охватывает его по периферии. Выделенные области p -типа используются в качестве баз транзисторов (см. рис. 2.30,а) либо резисторов (см. рис. 2.30,б). После третьего маскирования проводится диффузия для создания эмиттера, затем формируется металлизация. В КИД-структуре применяется тонкий эпитаксиальный слой, чем и определяются малые размеры изолирующих областей и высокая плотность компоновки на кристалле.

Технология КИД использовалась при реализации ТТЛ-базового кристалла (см. рис. 2.12,б). Наличие изолирующего n -слоя позволило удобно расположить резисторы ячейки, формируемые на основе базового p -слоя, по периферии. Кроме того, положительный полюс источника питания ($+U_{\text{и п}}$) подключен к изолирующему глубокому n^+ -слою, что обеспечивает малое падение напряжения на теле кристалла (вдоль ячеек матрицы) при прохождении токов питания.

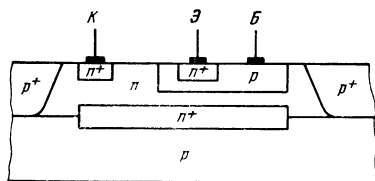


Рис. 2.29

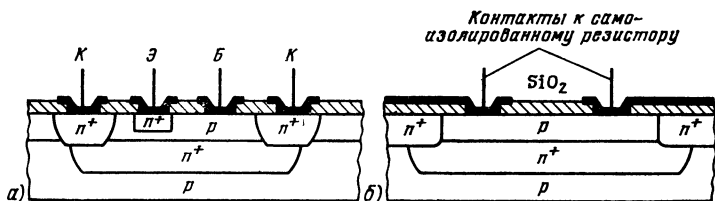


Рис. 2.30

Дальнейшее повышение плотности компоновки, а значит, и быстродействия узлов БИС достигается с использованием комбинированной изоляции. К наиболее перспективным относится изопланарная технология (рис 2.31) [27]. В структурах с равным успехом могут использоваться эпитаксиальные слои n - и p -типов. На границе раздела эпитаксиального слоя и подложки формируется скрытый n^+ -

слой (рис. 2.31,а). В качестве защитного диэлектрика используется нитрид кремния Si_3N_4 (рис. 2.31,б).

На открытых участках эпитаксиального слоя p -типа проводят термическое окисление кремния вплоть до скрытого коллекторного слоя. Чтобы после окисления получить плоскую поверхность пластины, перед термическим окислением выполняется локальное травление кремния (рис. 2.31,в). После образования толстого изолирующего слоя окисла (рис. 2.31,г) слой Si_3N_4 , покрывающий поверхность кремниевой пластины, удаляют травлением в фосфорной кислоте,

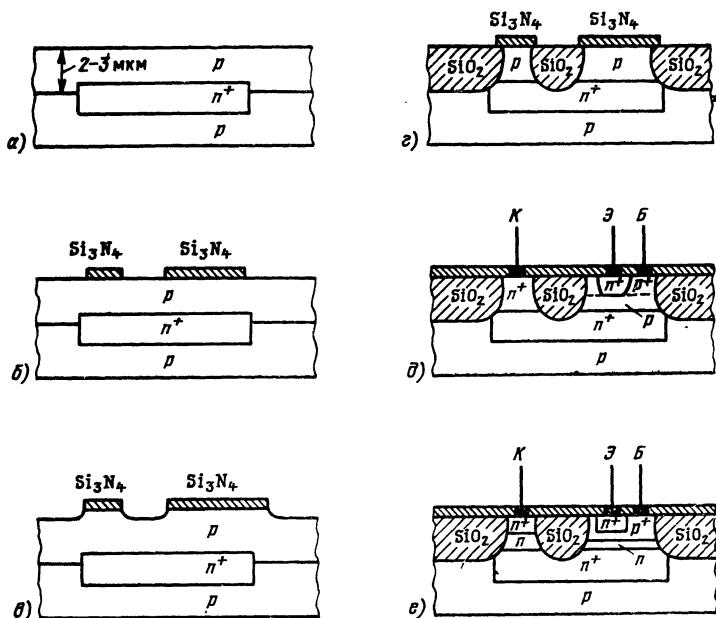


Рис. 2.31

которая на окисел кремния действует слабо. Формирование транзистора завершается двухстадийной диффузией в эмиттерные области, созданием контактов и металлизации (рис 2.31,д).

В изопланарном процессе благодаря применению нитрида кремния существенно упрощается маскирование; при этом границы изолирующих областей ограничивают распространение примесей и обеспечивают тем самым самосовмещение. Кроме того, окно в фотошаблоне для базовой диффузии может иметь значительные размеры, охватывая базовые области нескольких транзисторов, разделенных окислом. В некоторых случаях можно вообще обойтись без фотошаблона для базовой диффузии, снимая натрид кремния со всей поверхности.

Для формирования транзистора на основе структуры с эпитаксиальным слоем n -типа (рис 2.31,е) требуется два диффузионных процесса (для создания базы и эмиттера). В этой структуре можно

успешно создавать транзисторы с тонкой базой. Из рис. 2.31 видно, что область базы транзистора с боковых сторон примыкает к диэлектрической стенке. Эмиттерная область, так же как и базовая, может быть выполнена «пристеночной», т. е. примыкающей (по крайней мере с одной из сторон) к изолирующему окислу, что обеспечивает дополнительное сокращение площади транзистора.

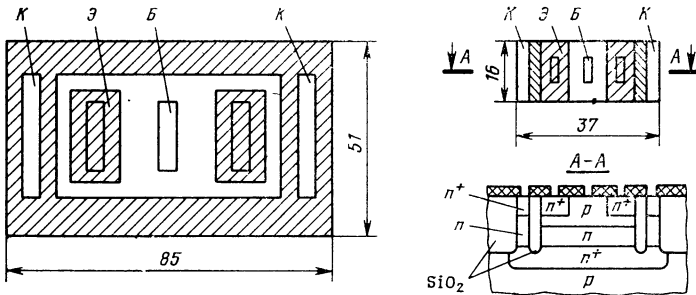


Рис. 2.32

На рис. 2.32 приведена топология транзистора, изготовленного традиционным методом и по технологии «изопланар» с «пристеночными» областями. Видно, что использование последней позволяет существенно уменьшить размеры структур. Очень эффективно использование описанной технологии в производстве И²Л-схем, называемых при этом И³Л-схемами. Значение $Pt_{зд}$ для таких схем снижается до долей пикоджоуля.

Учет описанных технологических возможностей и использование прогрессивных схмотехнических и конструктивных методов реализации БИС позволяют существенно повысить функциональные и энергетические характеристики БИС.

3. Базовые кристаллы БИС на основе МДП-транзисторов

3.1. Элементная база МДП-БИС

Базовые кристаллы на основе биполярных транзисторов применяются в основном для создания БИС высокого быстродействия ($t_{зд} < 1 \dots 10$ нс на вентиль). Проектирование специализированных БИС малого и среднего быстродействия целесообразно выполнять с применением базовых кристаллов на основе МДП-транзисторов, так как особенности конструкций МДП-транзисторов обеспечивают высокую плотность компоновки элементов на кристалле и малую потребляемую мощность.

В настоящее время разрабатываются и применяются в электронной аппаратуре базовые кристаллы, содержащие до 10 000 логических вентилях, на основе *n*-канальных МОП-транзисторов и ком-

элементарных МОП-структур (КМОП), сформированных на подложках из кремния или КНС-структурах (кремний на сапфире) [2, 3, 8]. Кристаллы на основе n -МОП-транзисторов характеризуются наиболее высокой плотностью компоновки и средним временем задержки 15 ... 90 нс на вентиль. Применение усовершенствованных D -МОП, H -МОП-, V -МОП-транзисторов позволяет снизить время задержки до 1 ... 5 нс [8, 28, 29].

КМОП-элементы при малых частотах переключения потребляют минимальную по сравнению с другими логическими элементами мощность, характеризуются задержкой 2 ... 40 нс на вентиль и высокой помехоустойчивостью. На основе КМОП-транзисторов можно реализовать как цифровые, так и аналоговые схемы. Замена подложки из кремния сапфировой обеспечивает уменьшение времени задержки до 1 ... 10 нс на вентиль и менее [8, 9].

3.2. Конструкции кристаллов на основе n -канальных МДП-транзисторов

Типовая структура МДП-транзистора с металлическим затвором показана на рис. 3.1 [30]. При изготовлении БИС в качестве исходной берется монокристаллическая кремниевая подложка p -типа с удельным сопротивлением 0,4 ... 0,8 Ом/см, в которую проводится диффузия или имплантация примесей на глубину 0,5—2 мкм для формирования n^+ -областей стока и истока. Между стоком и истоком над областью канала выращивается тонкий ($\sim 0,02$ мкм) подзатворный окисел.

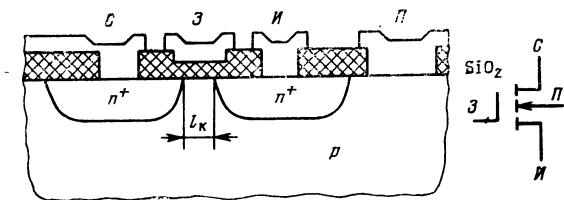


Рис. 3.1

Для создания межсоединений на поверхности кристалла применяются алюминиевые шины толщиной около 1 мкм. Плотность размещения структур на кристалле БИС определяется конструктивно-технологическими ограничениями на минимальные размеры элементов (размер окна в окисле, зазор между металлическими шинами и т. п.), которые в настоящее время составляют 3 ... 5 мкм (в лабораторных образцах до 1 мкм).

Логические элементы МДП-БИС (см. схемы на рис. 3.2) строятся с использованием только транзисторных структур ($VT1$ — нагрузочный транзистор). Так как МОП-транзисторам не нужна специальная изоляция, то базовый кристалл содержит только области МОП-транзисторов и подокисные полупроводниковые шины, выполненные на основе удлиненных стоковых (истоковых) областей и используемые для реали-

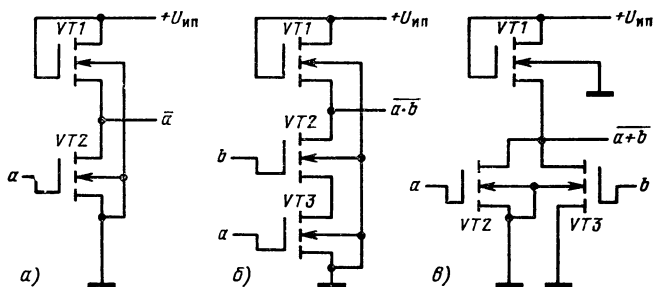


Рис. 3.2

зации пересечений токоведущих проводников. Для изготовления базового кристалла требуется только одна операция легирования и три фотошаблона («сток — исток», «тонкий окисел», «контакты»). Предприятию — изготовителю аппаратуры — может поставляться пластина с выполненными структурами, вся рабочая поверхность которой покрыта слоем алюминия. Для изготовления специализированной БИС достаточно с использованием только одного фотошаблона («межсоединения») стравить лишний металл, оставив заданные схемой соединительные шины. На рис. 3.3 показан фрагмент одного из вариантов базового кристалла на n -МОП-транзисторах, на котором реализована схема, представленная на рис. 3.4. Ряды сток-истоковых n -областей (1) чередуются с рядами полупроводниковых шин (2) (см. рис. 3.3). Области n -типа в центре кристалла используются как стоки нагрузочных транзисторов, подключенных к шине питания. Эти области используются для питания одновременно двух рядов ключевых транзисторов, расположенных справа и слева. Горизонтально расположенные подокисные n^+ -шины обеспечивают возможность пересечения с верти-

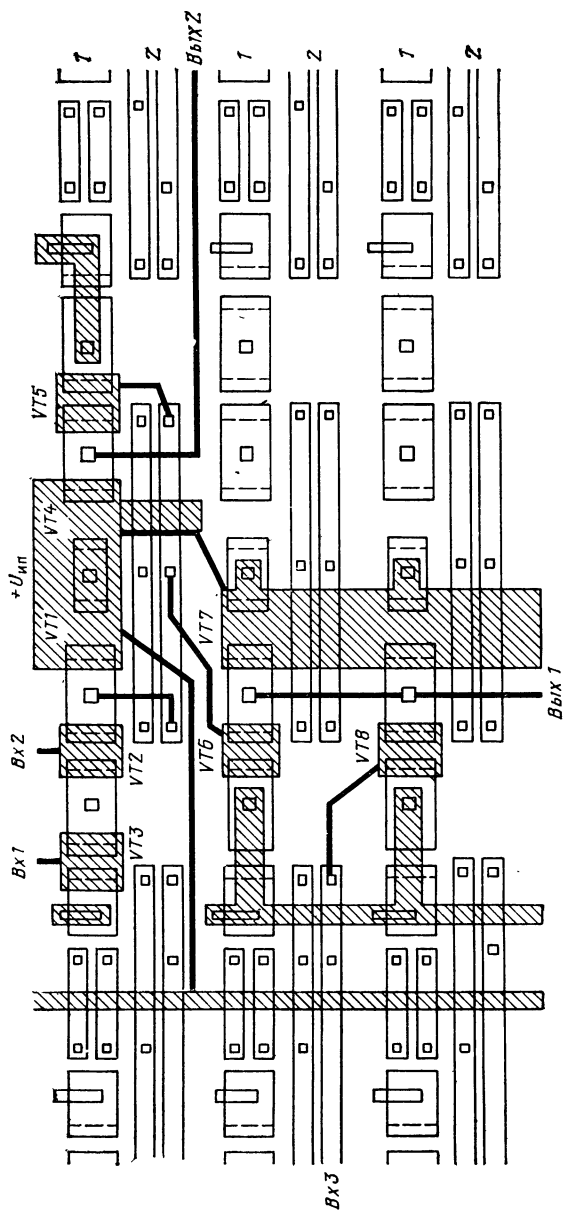


Рис. 3.3

кальными металлическими проводниками. Конструкция кристалла позволяет располагать металлические шины и горизонтально, что упрощает разводку межсоединений.

Для облегчения синтеза топологии БИС используются библиотеки типовых элементов и узлов. Оптимизированные варианты топологии библиотечных элементов могут храниться во внешней памяти ЭВМ и применяться в системах автоматизированного проекти-

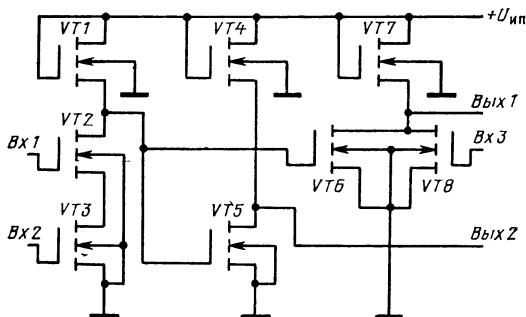


Рис. 3.4

рования БИС [1, 4, 6]. Одна из известных систем автоматизированного топологического проектирования (САТОП) [31] применяется при проектировании МДП-БИС на основе базовых кристаллов, в которых число типов библиотечных элементов не превышает 32, а число размещаемых на кристалле элементов 150. Межсоединения реализуются с использованием одноуровневой металлизации и подокисных диффузионных шин, причем металлические и диффузионные шины располагаются, в основном, ортогонально.

Применение усовершенствованных транзисторных структур позволяет существенно повысить характеристики базовых кристаллов [32]. На рис. 3.5 показан транзистор с самосовмещенным поликремниевым затвором. При изготовлении структуры сначала вытравливают в окисле общее окно под сток и исток, поверхность которого покрывается слоем тонкого окисла, и наносится слой поликристаллического кремния по всей поверхности пластины. Затем проводят травление поликремния и тонкого окисла (см. рис. 3.5, а). При этом в средней части окна формируется полоска: тон-

кий окисел — поликремний, ширина которой равна топологической длине канала $l_{кт}$. Далее выполняется ионное легирование кремния фосфором. При этом создаются области стока и истока (рис. 3.5, б), а также легируется слой поликремния, который выполняет в структуре функцию затвора. После нанесения защитного окисла вскрываются контактные окна в окисле и создаются алюминиевые межсоединения. Поликристал-

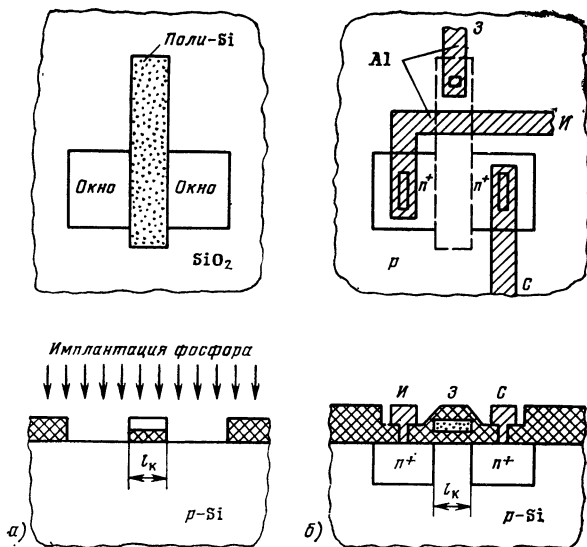


Рис. 3.5

лический затвор оказывается «погруженным» в окисел, что позволяет выполнить пересечение шин истока (стока) и затвора. В самосовмещенной структуре обеспечивается минимальное перекрытие затвора с областями стока и истока: при этом значительно уменьшаются паразитные емкости транзистора, что приводит к повышению быстродействия БИС [21].

Легированные поликремниевые шины могут использоваться в качестве проводников и нагрузочных резисторов. Применение поликремниевых нагрузочных резисторов, которые могут размещаться над диффузионными областями транзисторов, позволяет уменьшить размеры логических элементов и повысить их быстродействие.

Дальнейшее повышение быстродействия связано с уменьшением длины канала МОП-транзистора. На рис. 3.6 показана структура транзистора, изготовленная методом двойной диффузии (*D*-МОП) [21]. Диффузия фосфора для получения истока выполняется в то же окно в окисле, через которое осуществлялась диффузия бора для получения *p*-области канала. В результате расстояние между истоком и стоком определяется лишь разностью между глубинами диффузии областей канала и истока и составляет 0,3...0,6 мкм.

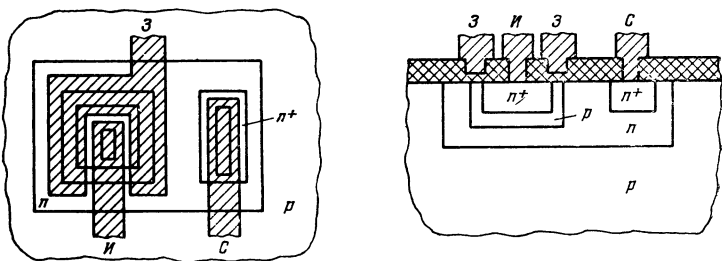


Рис. 3.6

Один из наиболее совершенных в настоящее время базовых кристаллов для быстродействующих БИС выполнен по технологии *n*-канальных *D*-МОП-транзисторов, содержит 920 логических вентилях и предназначен, в основном, для использования в контроллерах ЭВМ [28]. Для изготовления БИС на основе базового кристалла используются два фотошаблона (вскрытие окон в окисле к областям транзисторов и первому уровню межсоединений в слое поликремния; формирование одноуровневой алюминиевой металлизации). В основу схем вентилях положен трехвходовый элемент ИЛИ-НЕ, который при мощности 3,6 мВт обеспечивает задержку 0,32 нс (при нагрузке на один вход). Сопряжение внутренних элементов матрицы с внешними ТТЛ-схемами осуществляется с помощью 116 буферных схем, размещенных вблизи внешних контактных площадок по периферии кристалла размерами 7,7×7,9 мм². Всего имеется 120 контактных площадок, из которых четыре отведены для подключения источников питания. Полная рассеиваемая БИС мощность составляет 3 Вт.

Время выполнения операций в БИС на основе рассматриваемого БМК зависит от конкретной схемы, что определяется сильной зависимостью быстродействия элементов на МОП-транзисторах от емкости нагрузки. В типичных случаях среднее время задержки в элементе около 3 нс.

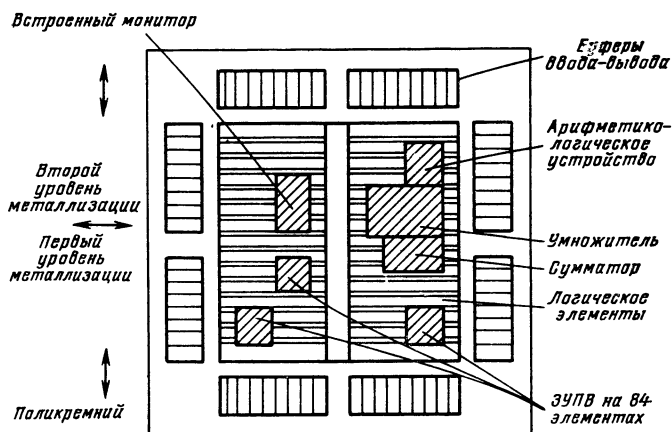


Рис. 3.7

Фирма ИВМ, участвуя в выполнении программы сверхскоростных ИС (ССИС), разрабатывает с использованием *n*-канальной технологии БМК, содержащие до 100000 вентилях с задержками 500 пс и рассеиваемой мощностью 25 мкВт на вентиль [9] (при проектных нормах 0,5 мкм).

Один из вариантов БМК, показанный на рис. 3.7, будет иметь площадь около 64,5 мм² (при проектных нормах 1,25 мкм) и включать кроме нескоммутированных вентилях макроэлементы и целые подсистемы (умножитель, арифметико-логическое устройство и т. д.).

3.3. Матрицы на основе КМОП-структур

БИС на основе комплементарных МОП-транзисторов, несмотря на достаточно сложную технологию производства, широко применяются в аппаратуре среднего быстродействия (тактовые частоты до 30...50 МГц)

в тех случаях, когда основными являются требования малой потребляемой мощности и высокой помехоустойчивости.

На рис. 3.8 показана структура и электрическая схема КМОП-инвертора. При изготовлении базового кристалла в качестве исходной берется подложка n -типа проводимости с удельным сопротивлением $4 \dots 5 \text{ Ом} \times \text{см}$, в которой формируется методом диффузии изолирующая p -область с поверхностной концентрацией

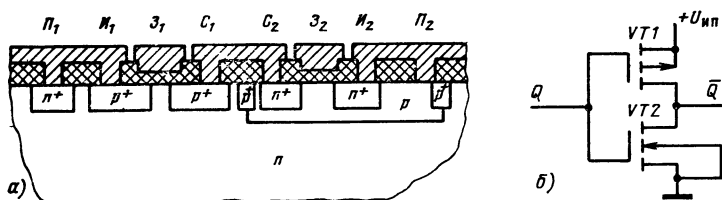


Рис. 3.8

бора $(2 \dots 5) \cdot 10^{16} \text{ см}^{-3}$. Далее последовательно изготавливают p^+ -области p -канального и n^+ -области n -канального транзисторов, а также контактную n^+ -область к подложке П. Таким образом, требуется пять фотошаблонов («изоляция», «сток — исток- p », «сток — исток- n », «тонкий окисел», «контакты») вместо трех для базового кристалла на n -МОП-транзисторах и три операции введения примесей вместо одной. Однако средняя потребляемая мощность для КМОП-БИС в десятки и сотни раз меньше, чем для n -МОП-микросхем.

По мере уменьшения геометрических размеров и питающих напряжений становится все труднее независимо оптимизировать n - и p -канальный транзисторы элемента при использовании технологии с изолированными p -областями. В последнее время чаще применяется технология с изолированными n -областями или с областями двух типов (n и p), что позволяет получить примерно одинаковые электрические характеристики n - и p -канальных транзисторов [33]. С этой же целью ширина канала n -канального транзистора делается примерно в $1,5 \dots 2$ раза меньше, чем p -канального, что связано с большей подвижностью электронов по сравнению с подвижностью дырок в кремнии [34].

В настоящее время выпускаются КМОП-базовые кристаллы, содержащие от 200 до 10 000 логических вентилях. Ячейка матрицы кристалла содержит обычно набор из двух-трех n -канальных МОП-транзисторов, включенных последовательно, и двух-трех p -канальных транзисторов (рис. 3.9), а также несколько диффузионных шин с контактными окнами [8]. Такой набор транзисторов обусловлен особенностями схемотехники типовых логических элементов.

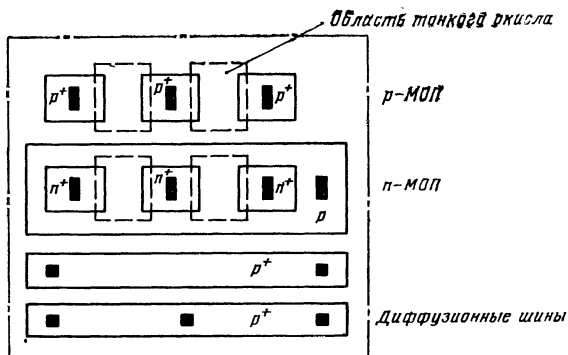


Рис. 3.9

Для реализации специализированной БИС на основе КМОП-базового кристалла применяется обычно одноуровневая металлизация. Однако в более сложных кристаллах используются двух- и трехуровневые металлизированные межсоединения. Изоляция между металлическими шинами осуществляется с помощью напыленного окисла кремния. Применение двухуровневой металлизации позволяет отказаться от диффузионных подокусных шин, что дает возможность уменьшить размеры матрицы и повысить быстродействие. Для повышения плотности компоновки возможно объединение n -канальных МОП-транзисторов в группы ячеек в одном изолированном p -кармане, соединенном с источником питания.

Один из наиболее сложных в настоящее время базовых кристаллов на КМОП-транзисторах с изоляцией $p-n$ -переходом содержит 3900 логических вентилях, имеет размеры $9,7 \times 9,7$ мм² и характеризуется средним

временем задержки 7 нс на клапан [8]. Минимальная ширина линии на фотошаблоне составляет 3,6 мкм. Каждый из 3900 элементов матрицы содержит два n -канальных и два p -канальных транзистора, которые можно соединить в схемы двухходовых элементов И — НЕ и ИЛИ — НЕ. БИС на основе этого кристалла потребляют мощность 50...100 мВт. Конструкция кристалла позволяет использовать в схеме до 90% элементов. При этом только 30% площади кристалла за-

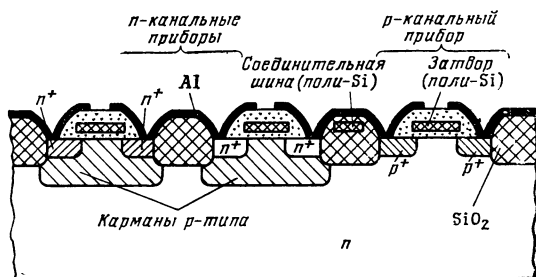


Рис. 3.10

нимают транзисторы, а остальная площадь отведена под соединительные проводники. В состав библиотеки входят 66 типов внутренних логических элементов и узлов и пять буферных элементов ввода — вывода. Одна БИС такого типа, заменила 400 микросхем в контроллере дискового ЗУ.

Для изготовления БИС на основе рассмотренного базового кристалла используется четыре заказных фотошаблона: «контактные окна», «первый уровень металла», «межслойные контакты», «второй уровень металла». Так как в базовом кристалле предварительно не вскрыты контактные окна в окисле, то можно располагать проводники над неиспользованными элементами по всей длине кристалла. В матрицах, в которых заказным является только фотошаблон металлизации, трассировка затруднена, так как некоторые из проводников прерываются фиксированными контактными окнами.

В последнее время базовые кристаллы строят на усовершенствованных КМОП-элементах с окисной изоляцией и поликремниевыми затворами (рис. 3.10, 3.11),

которые характеризуются малыми паразитными емкостями и высоким быстродействием. Легированные поликремниевые слои применяются также в качестве «погруженных» в окисел соединительных проводников, что позволяет повысить плотность компоновки элементов на кристалле. Наиболее совершенные базовые кристаллы с окисной изоляцией содержат до 10 000 вентиляй и характеризуются средним временем задержки

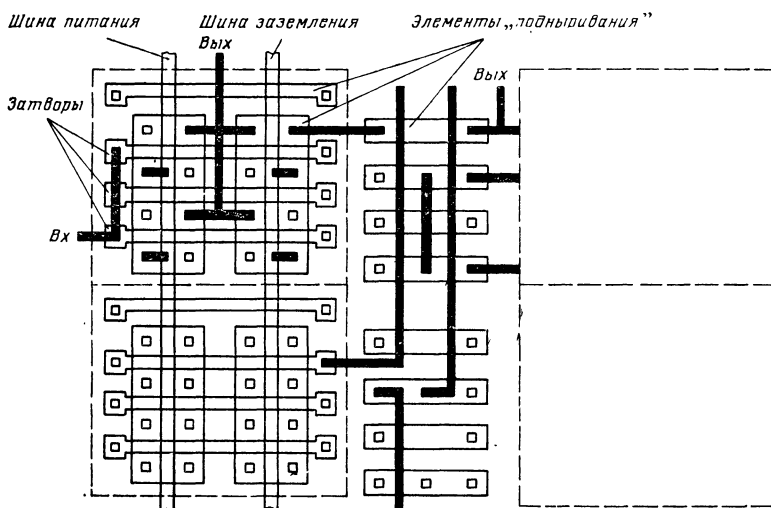


Рис. 3.11

2 нс на вентиль [8]. На рис. 3.11 изображен фрагмент базового кристалла с однотипными ячейками на КМОП-транзисторах (см. рис. 3.12). В качестве элементов «подныривания» используются не только специальные подокусные n^+ -слои, но и области стоков и истоков МОП-транзисторов. Затворы имеют двухсторонние контакты, что также позволяет упростить реализацию межэлементных электрических связей.

В базовых кристаллах наряду с матрицами некоммутированных транзисторов широко применяются специализированные цифровые и аналоговые элементы и узлы. Это значительно повышает функциональную плотность БИС. [8, 35]. Например, один из базовых

КМОП-кристаллов с окисной изоляцией и металлическими затворами (рис. 3.13), эквивалентный по сложности 1500 вентилям, разделен на четыре квадранта, три из которых содержат цифровые элементы, а один — специализированные аналоговые для реализации биполярно-полевых БИС [8].

В состав цифрового квадранта входят: 24 базовых элемента, каждый из которых включает в себя 10 p -канальных и 10 n -канальных МОП-транзисторов (рис.

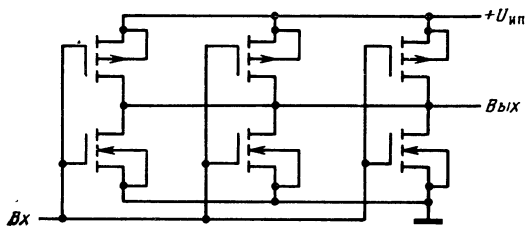


Рис. 3.12

3.14), 10 RS -триггеров, 19 резисторов, выходной каскад на три состояния, схема двунаправленной связи с дуплексной шиной. В аналоговом квадранте расположены 4 операционных усилителя, компаратор, 2 программируемые логические матрицы, 8 резисторов с сопротивлением 40 кОм, каждый с отводами через 5 кОм, 105 конденсаторов, каждый емкостью по 0,75 пФ, 15 p - n - n -транзисторов, 11 диодов, 3 стабилитрона, 2 генератора тока. Помимо узлов, размещенных в цифровых и аналоговом квадрантах, на кристалле имеются встроенный автогенератор с внешней кварцевой стабилизацией частоты, два 18-разрядных динамических сдвиговых регистра с тактовым генератором, 12 мощных формирователей сигналов, 8 схем сдвига уровня, четыре D -триггера, 8 высокоомных резисторов (расположены по периферии кристалла и обозначены латинскими буквами).

Рассмотренный базовый кристалл может эффективно применяться для реализации очень широкого класса цифровых и аналоговых специализированных БИС.

Сдвиговые регистры, имеющиеся на кристалле, могут использоваться не только для построения устройств, но и для функционального контроля устройств в различных точках кристалла. Контролируемые точки подключаются к параллельным входам регистра, а после-

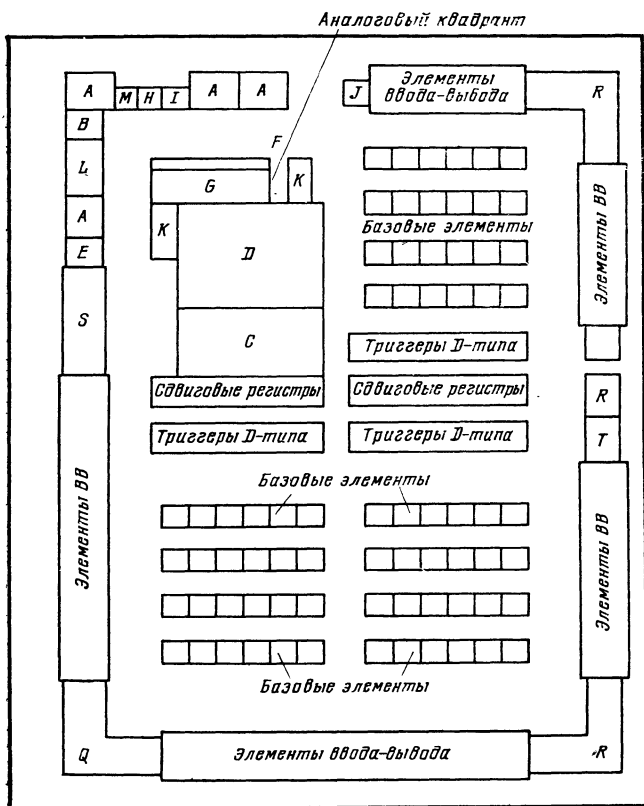


Рис. 3.13

довательный выход — к внешней контактной площадке. Информация с контрольных точек записывается параллельно в регистр и затем последовательно выводится для анализа.

При использовании поликремниевых подокусных проводников для повышения компоновочной плотности и облегчения разводки межсоединений применяют оригинальную топологию ячейки, показанную на рис. 3.15 [8]. Так как в КМОП-вентилях транзисторы всегда используются попарно, то объединение *n*- и *p*-канальных транзисторов позволяет повысить эффективность использования вентилях в БИС до 90%. В каждой

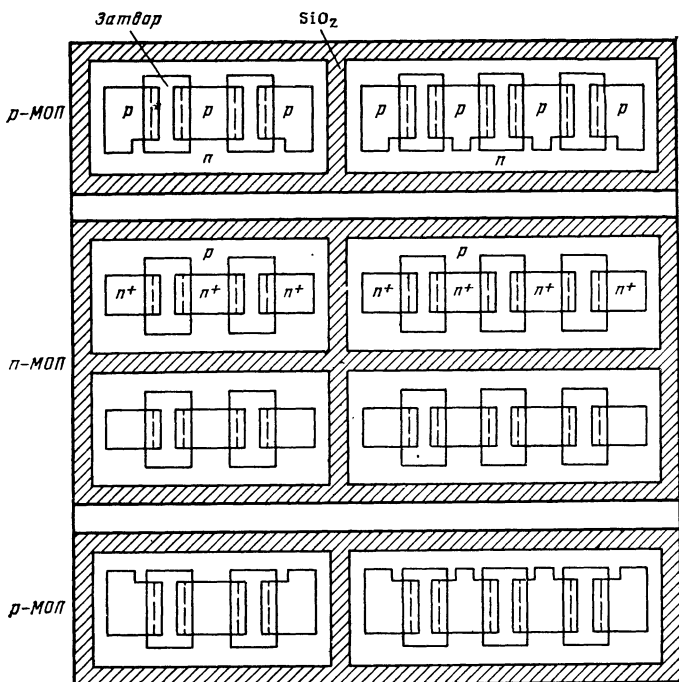


Рис. 3.14

ячейке n - и p -канальные транзисторы имеют общий поликремниевый затвор, что приводит к уменьшению размеров структур. Расположение поликремниевых шин по периферии ячейки позволяет легко осуществить подводу шин к транзисторам и пересечение проводников.

Высококачественные аналоговые схемы можно реализовать не только с использованием разработанных базовых кристаллов, но и на основе типовых БМК. С этой целью разработаны схемные решения [34], позволяющие улучшить характеристики операционных усилителей, источников тока, стабилизаторов и т. п.

На рис. 3.16 показана реализация операционного усилителя на основе типового БМК. Для уменьшения напряжения смещения нуля применяется топологический метод компенсации рассогласования параметров удаленных друг от друга транзисторов, вызванного погрешностями технологии. Перекрестное параллель-

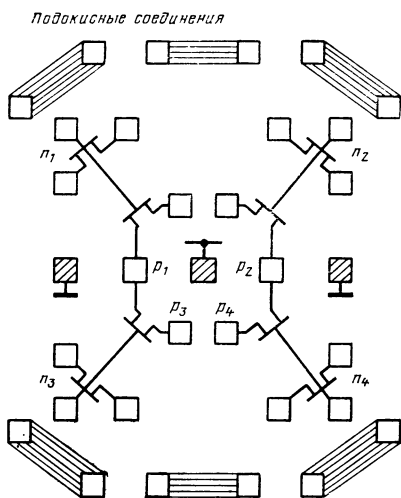
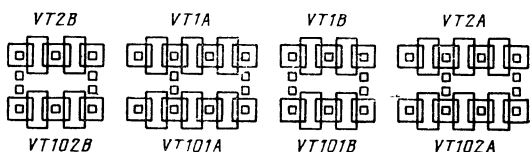


Рис. 3.15

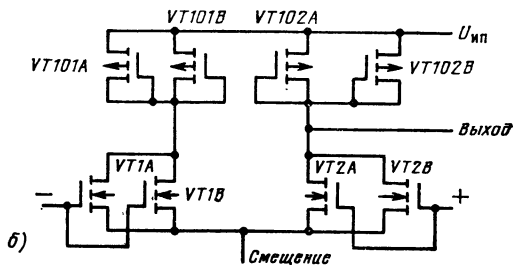
2,5 мм (3 мкм—проектные нормы). Проектируются 5000—6000-вентильные БМК с задержками менее 1 нс на вентиль [9, 19]. При этом используются затворы из тугоплавких металлов, поликремниевые резисторы, три

ное соединение транзисторов позволяет получить типовое напряжение смещения нуля 6 мВ.

Совершенствование топологии дает возможность использовать БМК на основе КМОП-транзисторов не только в устройствах среднего быстродействия, но и в быстродействующих БИС. Уже освоено производство БМК, содержащих до 6000 вентилей с задержкой 2 нс для коэффициента разветвления по выходу 3 ... 4 и длине соединительного проводника



а)



б)

Рис. 3.16

уровня межсоединений и 0,5 ... 1,25 мкм—проектные нормы.

Одним из основных факторов, ограничивающих быстродействие МОП-транзисторов, является значительная барьерная емкость p - n -перехода, отделяющего области транзистора от кремниевой подложки. Если подложку выполнить из диэлектрика (обычно из сапфира), то можно значительно снизить паразитные емкости, а значит, и повысить быстродействие МОП-транзисторов [21].

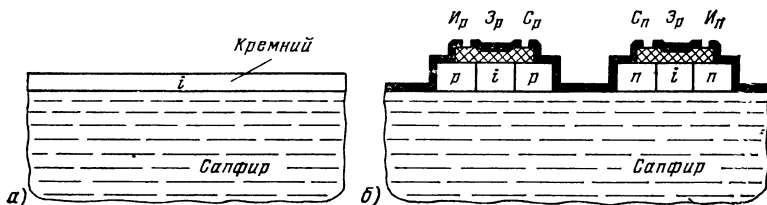


Рис. 3.17

На рис. 3.17 показана структура КМОП-транзисторов, выполненных на сапфировой подложке. При изготовлении микросхемы на сапфировой подложке выращивают тонкий (порядка 1 мкм) эпитаксиальный слой кремния собственной проводимости (см. рис. 3.17, а). Далее методом избирательного травления создаются «островки» кремния, в каждом из которых формируется n - или p -канальный транзистор (см. рис. 3.17, б) [21].

Технология изготовления БИС на сапфире достаточно сложна, однако кроме высокого быстродействия при малой потребляемой мощности КМОП—БИС на сапфировых подложках характеризуются наивысшей по сравнению с другими типами микросхем радиационной стойкостью.

В настоящее время созданы базовые КМОП-кристаллы на сапфировых подложках, содержащие 300—840 вентиляей. При количестве вентиляей 512 размеры кристалла составляют $5,4 \times 5,7$ мм², а среднее время задержки менее 5 нс на вентиль [8]. Фирма Hughes по программе ССИС разрабатывает БМК на основе КМОП-КНС-элементов, содержащих более 45000 вентиляей с задержками менее 0,7 нс [9]. БИС на основе этих БМК должны выдерживать облучение с дозой 10^7 рад.

4. Проектирование БИС на основе базовых матричных кристаллов

4.1. Выбор базового кристалла

При реализации специализированных БИС для определенного класса аппаратуры решается задача выбора (или разработки) БМК с требуемыми характеристиками. Этот этап специфичен для полузаказных БИС и отсутствует в системах проектирования полностью заказных микросхем. Первостепенная важность этапа выбора базового кристалла объясняется тем, что реализация всех достоинств матричной БИС во многом определяется конструкцией и параметрами БМК [36].

Упрощенный алгоритм выбора БМК для реализации БИС с заданными характеристиками приведен на рис. 4.1 [66].

На первом подэтапе производится перебор имеющихся кристаллов и анализ их на соответствие требуемому функциональному преобразованию информации. Речь идет о возможности реализации заданной функции с помощью проектируемой матричной БИС. Функциональные возможности БМК обусловлены числом логических элементов (или ячеек) и буферных элементов на кристалле, типом логических элементов или структурой ячеек, характеристиками буферных элементов и узлов библиотечного набора, количеством контактных площадок и др. Кристаллы, удовлетворяющие требованиям к функциональным возможностям, отбираются, остальные исключаются из дальнейшего перебора.

На следующем подэтапе проводится анализ отобранных БМК на соответствие электрическим параметрам: Основными из них являются быстродействие логических и буферных элементов, потребляемая мощность и нагрузочная способность.

Отобранные кристаллы, удовлетворяющие основным требованиям, подвергаются проверке на соответствие дополнительным требованиям. К ним относятся диапазон рабочих температур, радиационная стойкость, помехоустойчивость, надежность, требования к источнику питания и т. д.

Далее среди отобранных кристаллов, удовлетворяющих основным и дополнительным требованиям, проводится выбор оптимального варианта конструкции.

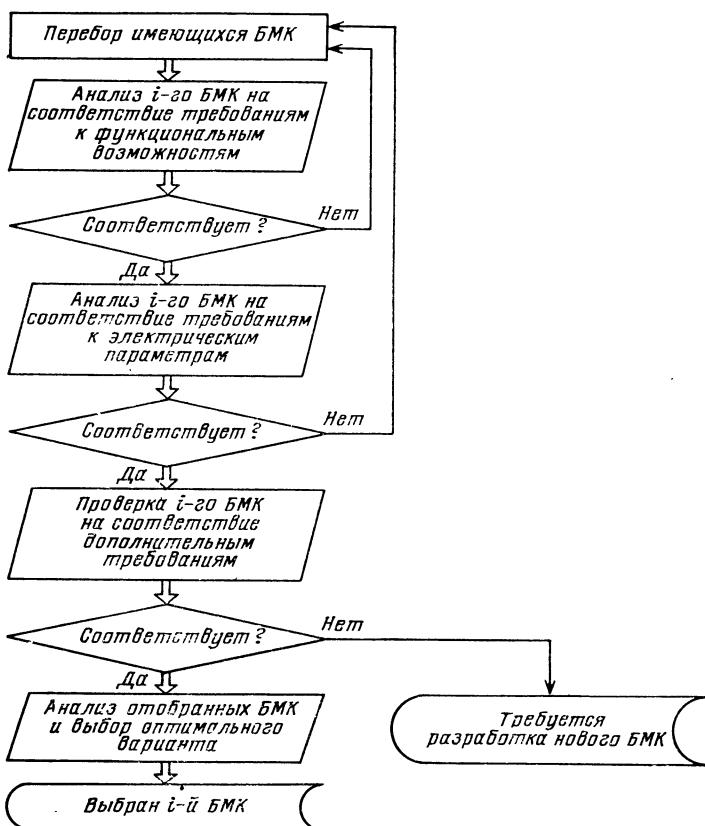


Рис. 4.1

Главным критерием такого выбора является стоимость, обусловленная технологией изготовления БМК и количеством масок (фотолитографий), необходимых для формирования заказного электрического монтажа. Если среди известных БМК не удастся найти кристалл с необходимыми параметрами, возникает необходимость в новой разработке.

4.2. Особенности проектирования специализированных БИС на основе БМК

Проектирование специализированных БИС на основе базовых кристаллов имеет ряд особенностей, обусловленных спецификой этого метода.

На начальном этапе реализации любой микросхемы (по заданной функциональной схеме) производится логическое проектирование или, иначе, решается задача покрытия БИС. Функциональная схема полностью заказной БИС покрывается элементами и узлами из неограниченного набора, тогда как решение задачи покрытия БИС на основе БМК производится с использованием ограниченного числа элементов библиотеки (фрагментов). Ограниченность библиотечного набора, с одной стороны, упрощает решение задачи покрытия, а с другой — обуславливает появляющуюся в ряде случаев избыточность. Например, многие функциональные узлы библиотечного набора построены так, что не полностью используются потенциальные возможности полупроводниковых структур ячеек матрицы [65]; отсутствие в библиотеке элементов, реализующих простые функции, приводит к необходимости использования более сложных в логическом отношении узлов; не всегда используются все входы и выходы узлов; могут оставаться незадействованными буферные элементы и контактные площадки.

Особенность конструирования БИС на основе БМК заключается в исключении ряда этапов, таких, как разработка, моделирование и расчет активных и пассивных элементов, а также логических элементов и функциональных узлов, что существенно упрощает весь процесс разработки в целом.

Наибольшие отличия в проектировании полностью заказных БИС и БИС на основе БМК имеют этапы размещения элементов и трассировки. При использовании БМК проектирование ведется на функциональном уровне с широким использованием топологии внутрифрагментных соединений. Изготовитель полужаказной БИС имеет дело с заранее разработанными фрагментами библиотеки, имеющими простую конфигурацию (как правило, прямоугольную) с фиксированным одним или двумя размерами, тогда как при разработке заказных БИС приходится размещать все элементы схемы. В полностью заказных БИС возможно также применение фрагментов библиотеки, но эти фрагменты, как правило, имеют различные габаритные размеры и конфигурацию. Кроме того, в БМК накладываются ограничения на посадочные места фрагментов (фиксированные локальные участки кристалла или полосы),

чем обусловлено ограниченное число ориентаций узлов в плоскости кристалла. При ручном проектировании разработчик применяет выполненные в определенном масштабе аппликации фрагментов (изготовленные, например, в виде самоклеющихся «наклеек»), представляющие все перечисленные элементы библиотечного набора. Он компоует фрагменты в любой последовательности на специальном размеченном чертеже, на котором могут быть также обозначены участки для трассировки [39]. В ряде случаев применяют специальные макетные платы и наборы фрагментов для макетирования и исследования схем. С использованием данных средств инженеру-разработчику при реализации БИС достаточно разместить фрагменты на поле кристалла и определить конфигурацию соединений между входящими в состав микросхемы фрагментами. Упрощению разводки межсоединений способствуют два фактора: наличие каналов для трассировки и специальных встроенных элементов для устранения пересечения проводников; разводка соединений в БИС на основе базового кристалла облегчена потому, что входы и выходы фрагментов выполнены с определенным шагом и расположение их известно. Матричная форма организации базовых кристаллов позволяет применять магистральный способ разводки шин питания и заземления (см. рис. 2.28), особенно при использовании нескольких слоев межсоединений. Такая разводка способствует улучшенному распределению тока и мощности по кристаллу, чем обеспечивается повышенная надежность и работоспособность БИС на основе БМК.

Использование библиотечного набора функциональных элементов позволяет выполнить проектирование полузаказной БИС даже вручную в течение нескольких дней [39]. Например, срок проектирования микросхемы на основе предложенного БМК (см. § 2.3) [7], содержащей 570 инверторов, составил 2 недели. Полученная И²Л-БИС заменила 32 микросхемы малой и средней степени интеграции.

После размещения библиотечных элементов и разводки проводников производится проверка топологии на соответствие заданной электрической схеме и повторное моделирование, учитывающее задержки сигналов, обусловленные паразитными емкостями и сопротивлением коммутационных шин, особенности токораспре-

деления в реальной конструкции. Моделирование должно подтвердить нормальное функционирование спроектированной БИС.

Следует заметить, что особенности конструирования БИС на основе БМК приводят и к изменениям в конструкторской документации на изделие. В комплекте документов на матричную БИС присутствуют топологические чертежи лишь тех слоев, которые необходимы для реализации межсоединений.

Для БИС и СБИС, как правило, информация о топологии хранится на машинных носителях: перфолентах магнитных лентах и дисках. Контрольные прорисовки совмещенного топологического чертежа и слоев топологии выполняют с помощью графопостроителей, например, с использованием интерактивной системы проектирования 15 УТ-4-017.

При реализации БИС на основе БМК достаточно разработать топологию только слоев межсоединений и занести информацию о них на машинные носители, например системы 15 УТ-4-017. Далее эти машинные носители могут быть непосредственно использованы для изготовления фотошаблонов на технологических автоматах (микрофотонаборных установках и т. п.).

Таким образом, проектирование БИС на основе БМК позволяет существенно сократить объем необходимой конструкторской документации (в том числе при использовании машинных носителей информации).

4.3. Системы автоматизированного проектирования БИС на основе БМК

Метод создания БИС частного применения на основе БМК позволяет наиболее полно формализовать и автоматизировать все этапы проектирования специализированных БИС и СБИС, включая размещение элементов библиотечного набора и трассировку межсоединений между ними [1, 5, 6, 8, 20, 37, 42—45, 57].

Система автоматизированного проектирования (САПР) матричных БИС с помощью ЭВМ, структурная схема которой приведена на рис. 4.2 [10], предусматривает следующее: разбиение логической функции узла на части, удовлетворяющие требованиям БМК с приемлемым размером кристалла; покрытие схемы БИС элементами библиотечного набора; модели-

рование логической схемы и проверку соответствия заданной логической функции; автоматизированное размещение элементов библиотечного набора и трассировку межсоединений между ними; изготовление комплектов фотошаблонов; проверку готовых БИС на соответствие заданной логической функции.

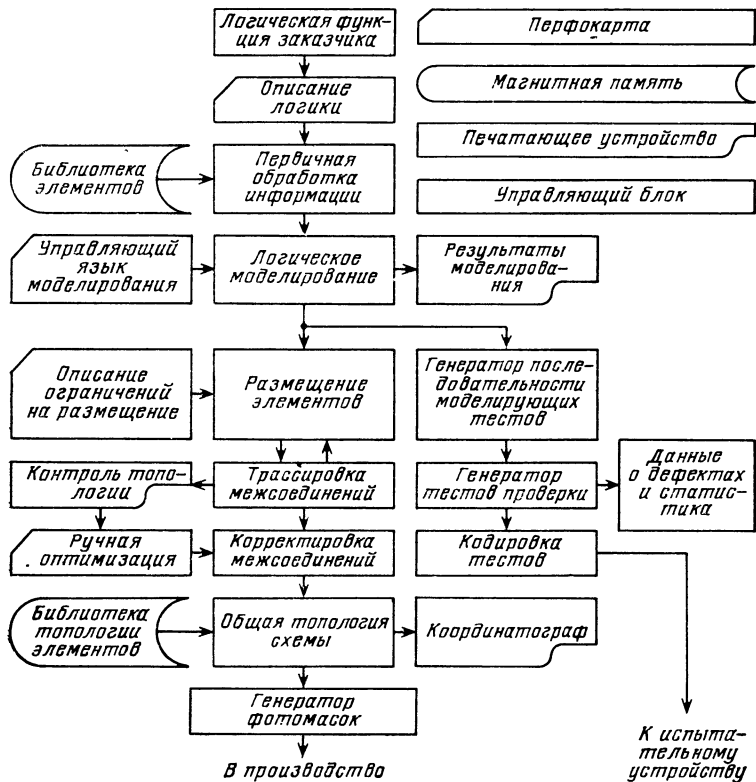


Рис. 4.2

Поскольку при матричном методе физическая структура для различных реализуемых схем остается неизменной, а меняются лишь шаблоны межсоединений, САПР позволяет существенно сократить время и стоимость проектирования большой номенклатуры БИС.

Примером эффективности автоматизированного проектирования служит микросхемная реализация цент-

рального процессора ЭВМ «Система-370» фирмы IBM. Процессор реализован в виде БИС на основе 5000 вентилях ТТЛ-матрицы с диодами Шотки с использованием мощной САПР, разработанной фирмой. В процессе трассировки использованы 1405 каналов для прокладки проводников и 33516 переходных контактных отверстий. Процесс проектирования - состоит из 11 этапов, 10 из которых автоматизированы [17]: группировка 5 тыс. вентилях в 144 суперузла взаимосвязанных вентилях; конструктивное размещение суперузлов; перестановка их; декомпозиция суперузлов; интерактивное перемещение; глобальная трассировка; распределение вертикальных трасс; размещение горизонтальных магистралей; «подчистка» по лабиринтному алгоритму; контроль. На предпоследнем этапе производилась ручная прокладка 68 проводников.

Использование топологически регулярных и однородных макроэлементных матриц, дополненных развитым библиотечным набором узлов с определенной конструкцией и фиксированной разводкой внутри элементов, позволяет приспособить для проектирования имеющиеся программы размещения и трассировки, используемые при разработке узлов на основе корпусированных ИС и печатных плат [20, 31, 41, 46, 60].

Однако лучшие результаты дают специализированные САПР, ориентированные на разработку матричных микросхем.

Система проектирования LDSI фирмы LSI Logic Corporation позволяет разработчику-системотехнику из фирмы-заказчика сократить цикл проектирования и изготовления опытных образцов БИС всего до нескольких недель [44]. Система обеспечивает проверку логики, моделирование схем, размещение элементов библиотеки и обеспечение синхронизации прохождения сигналов по линиям межсоединений, а также составление программ испытаний КМОП-приборов, ТТЛ- и ЭСЛ-схем. В состав программного обеспечения входят стандартные пакеты программ для ввода данных, размещения элементов и трассировки межсоединений в диалоговом режиме и для моделирования.

С помощью системы LDSI можно спроектировать матричные логические БИС, содержащие от нескольких сотен до 10000 вентилях.

Мощную САПР, названную «Разработчик неспециа-

лизированных логических матриц», предложила фирма Digital Equipment Corp. Эта система предназначена для разработки и проверки БИС, построенных на основе БМК, созданных фирмой Ferranti Semiconductors Corp. Программные средства для выполнения таких задач, как проверка топологии и логики, уточнение тестовых

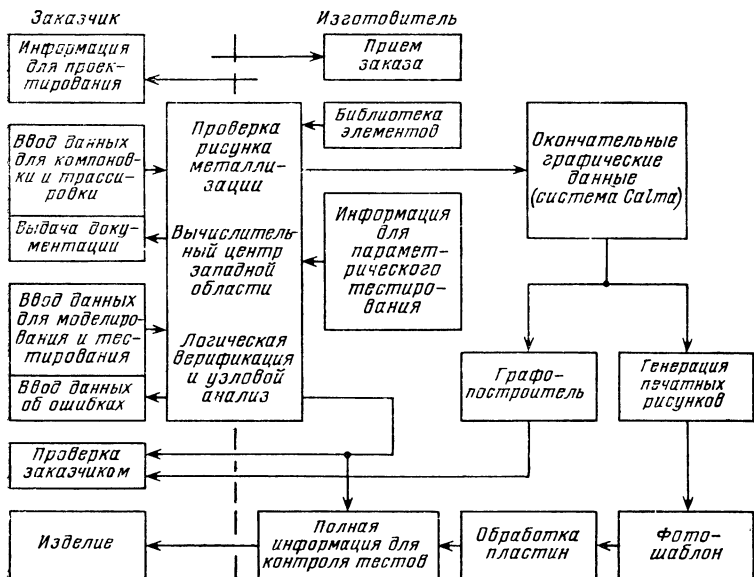


Рис. 4.3

программ и таблиц, обеспечивают получение качественных кристаллов. Проектирование схемы, состоящей из 1000 вентилях, может занять от трех до четырех недель.

Эффективность САПР БИС на основе БМК определяется, кроме всего прочего, взаимоотношениями между заказчиком и исполнителем микросхем. Примером таких взаимоотношений может служить САПР фирмы Motorola, структурная схема которой приведена на рис. 4.3 [20]. Фирма производит функциональные ЭСЛ-матрицы типа Масgocell, содержащие более 100 логических вентилях, интерфейсных и выходных элементов. Определив число типов приборов, объемы производства для каждого типа, затраты на проектирование и его

сроки, заказчик получает от фирмы справочную информацию по проектированию и код для доступа к системе. Доступ к САПР осуществляется по телефонным линиям связи при помощи графического терминала и графопостроителя, которые располагаются на предприятии заказчика.

САПР содержит библиотеку макроэлементов, а также ряд программ, помогающих проектировать и проверять схему. Компоновка кристалла воспроизводится на экране терминала. Разработчик выбирает из библиотеки нужные функциональные элементы и размещает их в нужных местах. При помощи терминала он определяет затем точки ввода — вывода и указывает, каким образом должны передаваться данные от точки к точке. Дополнительные программы системы машинного проектирования позволяют выполнить логическое моделирование для контроля правильности схемы, ряд других программ позволяет проверить схему на отсутствие нарушений правил разводки внутренних связей.

После разработки специализированной схемы информация поступает через графическую систему Calma на графопостроитель. Чертежи выбранных элементов и рисунки трассировки возвращаются разработчику для окончательной проверки. В случае положительных результатов проверки данные системы Calma используются для изготовления шаблонов, обеспечивающих формирование необходимых соединений. Информация по окончательному тестированию в САПР преобразуется в тестпрограммы, используемые для проверки схем перед поставкой готовых изделий.

Структурная схема взаимоотношений по обмену информацией между фирмой-изготовителем Texas Instruments и заказчиком приведена на рис. 4.4 [8]. Фирма представляет в распоряжение заказчика необходимое программное обеспечение для проектирования БИС на основе БМК.

В процессе обмена информацией между заказчиком и исполнителем немаловажную роль играют системы связи. Используются специальные системы связи и терминалы, к которым подключаются кодировщики, графопостроители [6], а также связь через телеграф и телефон [26] или, в случае удаленности заказчика и исполнителя, через спутники связи. Например, спутниковая связь осуществляется между фирмой Fujitsu

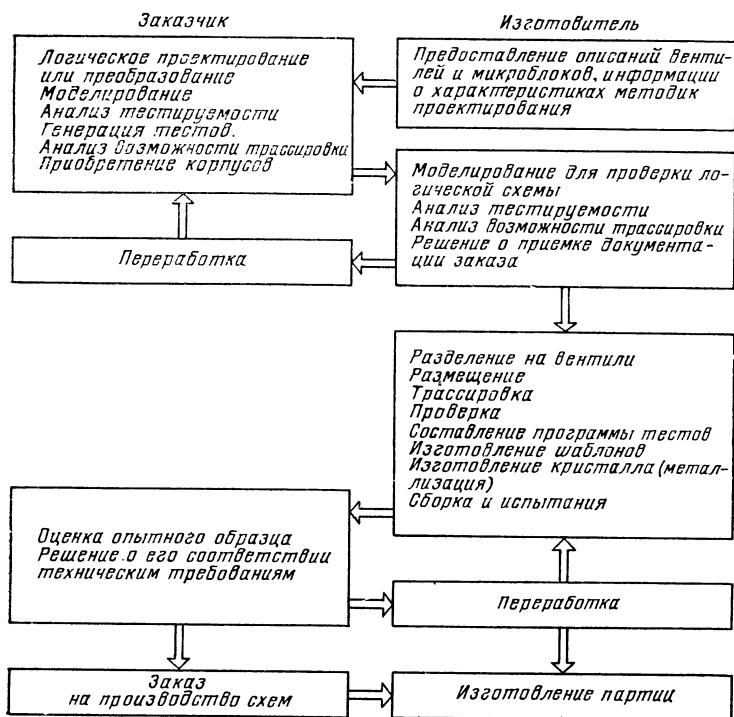


Рис. 4.4

Microelectronics Ltd. в Санта — Кларе и компанией Fujitsu Ltd. в Кавасаки.

Возрастающая роль БИС и СБИС частного применения обуславливает дальнейшее развитие соответствующих программных средств и САПР. Быстро растет число фирм, специализирующихся на создании таких микросхем. По оценкам фирмы Intel, общий объем предоставляемых «кремниевых мастерских» услуг возрастает от 50 млн. дол. в 1981 г. до 500 млн. дол. к 1985 г.

4.4. Применение БИС на основе БМК

Эффективное использование библиотек элементов, программ и систем автоматизированного проектирования БИС на основе БМК способствует существенному повышению технико-экономических характеристик микросхем и аппаратуры на их основе [49].

Для примера в табл. 4.1 и 4.2 приведены характеристики высококачественных вентиляльных КМОП-матриц со средним и высоким быстродействием и ЭСЛ-матриц со сверхвысоким быстродействием, разработанных фирмой LSI Logic Corp. С помощью системы проектирования LDS-1, разработанной фирмой, на основе данных матриц реализуются БИС и СБИС, потребляющие в несколько десятков раз меньшую мощность по сравнению с аналогичными устройствами на стандартных микросхемах. Каждая из этих матриц заменяет несколько плат со стандартными ИС, обеспечивая весомое уменьшение габаритных размеров и сложности конечных изделий, количества деталей в них и повышение надежности [44].

Таблица 4.1

Характеристики КМОП-матриц со средним и высоким быстродействием [44]

Прибор	Число вентиляей	Число слоев металлизации	Длина канала, мкм	Задержка вентиля, нс	Число выводов
LC 3100	300...1780	1	6,0	10	92
LS 1400	800...2200	1	3,5	8	96
LSI 5000	800...6000	2	3,0	5	176
LSI 7000	1000...10000	2	2,0	2	200

Таблица 4.2

Характеристики ЭСЛ-матриц со сверхвысоким быстродействием [44]

Прибор	Число вентиляей	Число слоев металлизации	Задержка вентиля	Число выводов
LCA 600	600	2	0,9	68
LCA 1200	1200	2	0,9	68

Использование TTL-вентиальных матриц с диодами Шотки в новой модели 32-разрядного мини-компьютера позволило вдвое уменьшить мощность, в 2 раза — стоимость прибора, в 6 раз повысить плотность компоновки, при этом надежность увеличена в 4 раза. На данных матрицах реализовано до 90% логических схем компьютера, причем каждая матрица заменяет 25 стандартных микросхем [43].

Преимущества использования в специализированной аппаратуре базовых кристаллов обеспечивают непрерывный рост объема их производства. По данным фирмы LSI Logic Corp., средний ежегодный рост продаж логических матриц составит в период между 1980 и 1985 гг. 75%, а стоимость продаж увеличится за тот же срок с 90 млн. до 1,5 млрд. дол., причем наиболее крупные поставки ожи-

даются в области КМОП- и ЭСЛ-матриц [58]. В табл. 4.3 приведены данные о сбыте полузаказных логических схем (включая БМК) и специализированных БИС в США.

Видно, что сбыт полузаказных БИС растет быстрее полностью специализированных (заказных).

По данным фирмы Mackintosh, объем продаж БИС на основе БМК увеличится на мировом рынке до 1,2 млрд. дол. к 1986 г.

Таблица 4.3

Сбыт заказных и полузаказных БИС в США (млн. дол.)

БИС	Год			
	1980	1981	1982	1983
Полузаказные	47,1	61,0	81,3	230,0
Заказные	257	298	351	690

Таблица 4.4

Перспективные БМК для реализации быстродействующих БИС, осваиваемые ведущими зарубежными фирмами [34]

Фирма-производитель	Технология	Число элементов	Задержка на вентиль, нс	Мощность на ве тиль, мВт
LSI Logic (тип LSI7000)	КМОП (3 мкм)*	10 000	2	—
NEC	ТТЛ	—	2	1
IBM	ТТЛШ	—	1	1
Fujitsu	ТТЛШ	2000	1,5	0,65
Ferranti (к 1985 г.)	ТТЛ КИД (1 мкм)	100 000	1	—
Signetics	ИШЛ (2 мкм)	—	0,6...2	0,2...0,05
Fairchild	И ² Л (1,25 мкм)	—	1...2	0,08...0,04
Texas Instruments	И ² Л (1,25 мкм)	—	0,62	0,06...0,07
Motorola (тип Macrocell)	ЭСЛ (2 мкм)	2500	0,25	—
IBM	ЭСЛ (1,25 мкм)	—	0,114	5
Hitachi (прогноз)	ЭСЛ (0,5 мкм)	—	0,075	1

* В скобках указан минимальный размер элементов.

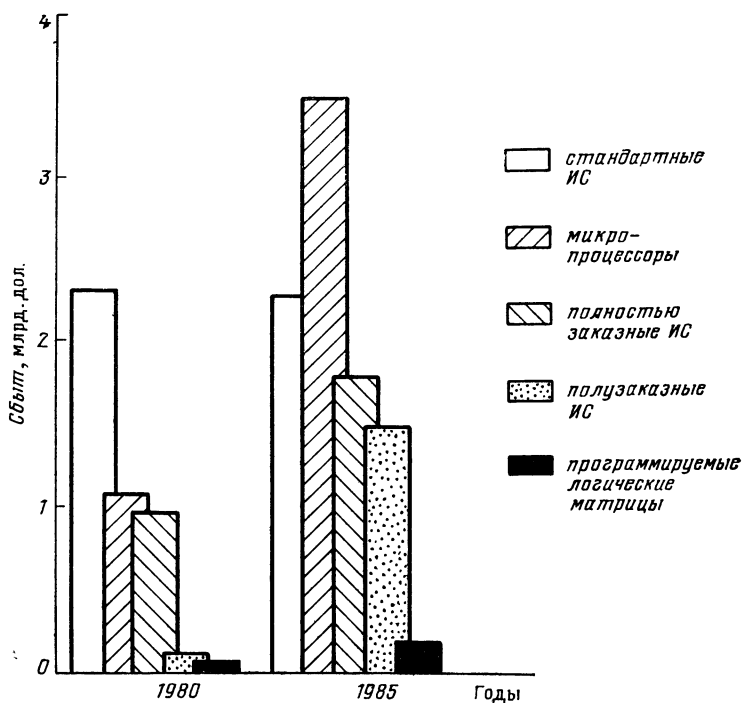


Рис. 4.5

С учетом изделий, выпущенных фирмами для собственных нужд, объем продаж полузаказных схем на мировом капиталистическом рынке с 1986 г. увеличится почти до 3 млрд. дол. [58].

Следует отметить, что несмотря на все увеличивающийся в настоящее время объем продаж БМК и БИС на их основе, намечается тенденция к расширению «сферы влияния» заказных ИС [52]. Происходит это в связи с бурным развитием вычислительной техники, разработкой и внедрением мощных САПР. В идеальном случае для таких систем с развитым математическим обеспечением затраты времени на проектирование заказной БИС и БИС на основе БМК должны отличаться несущественно, тогда как первые выигрывают по плотности компоновки, проценту использования элементов и потребляемой мощности. Однако не все фирмы могут иметь в своем распоряжении развитые САПР, поэтому вопрос использования БМК для разработки аппаратуры на их основе не может быть снят с повестки дня. Это подтверждается множеством фактов расширения производства и применения матричных БИС.

На рис. 4.5 приведены диаграммы предполагаемого роста (по годам) объема сбыта изделий микроэлектроники [53]. Видно, что

за период с 1980 по 1985 гг. наиболее резко (более чем в 10 раз) возрастает сбыт полузаказных ИС, реализуемых на основе БМК.

Анализ состояния развития БМК и прогнозы на будущее показывают, что основной областью применения БИС на их основе является изготовление высокопроизводительных ЭВМ, причем ряд ведущих зарубежных фирм включились в это направление. Они разрабатывают, готовят к производству и выпускают серии БМК различного назначения, выполняемых с использованием в основном технологий ТТЛ, ЭСЛ, ИШЛ и КМОП. Обзор достижений и перспектив развития электронной техники показывает [54], что основной тенденцией являлось и остается повышение быстродействия базовых элементов БМК и матричных БИС на их основе. По прогнозу фирмы Hitachi, в ЭСЛ-схемах с полумикронными размерами эмиттеров достижимо время задержки, составляющее 75 пс/вентиль. Из табл. 4.4 следует, что вообще все ведущие фирмы ведут соревнования за освоение субнаносекундного диапазона задержек [54].

Отечественной промышленностью в настоящее время освоен выпуск БМК для реализации специализированных БИС среднего быстродействия на основе n -МДП-транзисторов [55] и И²Л-структур, а также для сверхбыстродействующих ЭСЛ-БИС [56].

Список литературы

1. Крегер Д., Тозун О. Автоматизированное проектирование обостряет конкуренцию полузаказных приборов со стандартными. — Электроника, 1980, № 15, с. 28—34.
2. Пупин А. А., Разумов Ю. Н. Базовые кристаллы и тенденции их развития. — Зарубежная электронная техника, 1979, № 8, с. 3—44.
3. Hartman R., Walker R. LSI gate arrays outpace standard logic. — Electronic Design, 1981, March, № 5, p. 107—112.
4. Поса Д. Микросхемная реализация процессора «Системы/370» — триумф автоматического проектирования. — Электроника, 1980, № 22, с. 28.
5. Фойер М., Хохамн К. Х., Мехта Д. Программа автоматизированной трассировки связей кристалла с 5 тыс. логических вентилей. — Электроника, 1980, № 22, с. 35—38.
6. Блад У. Система автоматизированного проектирования заказных цифровых БИС на основе логических вентильных матриц. — Электроника, 1981, № 18, с. 58—63.
7. Пономарев М. Ф., Коноплев Б. Г., Фомичев А. В. Проектирование заказных БИС с инжекционным питанием на основе базовых кристаллов. — В кн.: Автоматизация проектирования электронной аппаратуры/ ТРТИ.— Таганрог, 1982, вып. 1, с. 122—124.
8. Поса Д. Вентильные матрицы: современное состояние техники и технологии. — Электроника, 1980, № 21, с. 54—74.
9. Поса Д. Состояние и перспективы программы сверхскоростных интегральных схем. — Электроника, 1981, № 19, с. 80—88.
10. Преснякин Л. Н., Немудров В. Г., Пупин А. А., Шишкевич А. А. Сверхбыстродействующие БИС, реализуемые на базовом кристалле. — Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова. — М.: Сов. радио, 1977, вып. 2, с. 94—104.

11. Баринов В. В., Мамедов Т. Я., Орликовский А. А., Подопригора Н. А. Биполярные ИС с диодами Шоттки.—Зарубежная электронная техника, 1976, № 8, с. 3—53.
12. Букреев И. Н., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств.— М.: Сов. радио, 1975.—368 с.
13. Шагурин И. И., Иванов Ю. П., Мозговой Г. М., Немудров В. Г., Стороженко Г. И. Выбор элементной базы для быстродействующих микропроцессорных БИС.— Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова.— М.: Сов. радио, 1977, вып. 2, с. 65—80.
14. Аваев Н. А., Дулин В. Н., Наумов Ю. Е. Большие интегральные схемы с инжекционным питанием.— М.: Сов. радио, 1977.— 248 с.
15. Blatt V., Vulsm P. S., Kennedy L. W. Substrate fed logic.—IEEE J., 1975, v. SC-10, № 5, p. 336—342.
16. The 484 cell uncommutated logic array family ULA 5000 series.— Ferranti semiconductor, 1978, June, p. 1—8.
17. Дэнски А. Уменьшение нагрузочных сопротивлений — способ снижения задержек в вентилях матрицах.— Электроника, 1980, № 22, с. 38—41.
18. Смит К. Нескоммутированные логические матрицы, содержащие 1000 логических вентилях.— Электроника, 1981, № 12, с. 16—18.
19. Берисфорд Р., Хиндин Х. Дж., Джонсон К., Поса Д. Новые СБИС на международной конференции по интегральным схемам 1982 г.— Электроника, 1981, № 25, с. 60—65.
20. Прайост, Рао, Блад. Функциональная матрица, упрощающая проектирование специализированных ЭСЛ-БИС.— Электроника, 1979, № 4, с. 34—41.
21. Степаненко И. П. Основы микроэлектроники.— М.: Сов. радио, 1980.—424 с.
22. Now you can design an integrated circuit.— Electronic Design, 1981, sept. 30, p. 22—23.
23. Bahraman A., Chang S. Y., Hartmann R. A., Srouf J. R. Design and performance of a 1000-gate mask-programmable I²L gate array.—Proc. Custom Integr. Circuit Conf., Rochester, N. Y., 1980, 52—54.
24. O'Neil W. D. I²L gate arrays make custom ICs economically feasible.—Comput. Des., 1979, v. 18, № 9, p. 168.
25. Lau S. Y. Integrated Shottky logic gate array.—Electron. Compon. and Appl., 1980, v. 2, № 2, p. 106—114, 126, 127.
26. Фейн Д. Некоторые замечания по поводу работы фирмы Sigpetics в области вентилях матриц.— Электроника, 1981, № 1, с. 143—144.
27. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах.— М.: Сов. радио, 1979, 296 с.
28. Альтман Л. Цифровые БИС: новые крупные достижения.— Электроника, 1978, № 4, с. 8—9, 39—46.
29. Поса Д. Японские изготовители ИС объединяются для конкуренции на мировых рынках (обзор).— Электроника, 1981, № 11, с. 28—48.
30. Валиев К. А., Кармазинский А. Н., Королев М. А. Цифровые интегральные схемы на МДП-транзисторах.— М.: Сов. радио, 1971.— 384 с.

31. Селютин В. А. Машинное конструирование электронных устройств. — М.: Сов. Радио, 1977. — 384 с.
32. Кейпис Р. Современное состояние и перспективы развития технологии БИС. — Электроника, 1979, № 19, с. 23—34.
33. Поса Д. КМОП-технология — наилучшее средство изготовления БИС для компьютеров, потребительской электронной аппаратуры и аппаратуры связи. — Электроника, 1981, № 20, с. 26—31.
34. Кэш Р. Построение аналоговых схем с высокими рабочими характеристиками из элементов логических КМОП-матриц. — Электроника, 1981, № 16, с. 38—44.
35. Йодер Д. Нескоммутированные логические КМОП-матрицы, содержащие в составе кристалла как цифровые, так и аналоговые элементы. — Электроника, 1981, № 1, с. 83—89.
36. Разумов Ю. И., Пупин А. А., Курочкин В. Г. Выбор функционального состава ячейки базового кристалла. — Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова — М.: Радио и связь, 1981, вып. 6, с. 82—94.
37. Померанц, Ниджюйс, Викари. Новый подход к созданию логических БИС. — Электроника, 1979, № 6, с. 31—35.
38. Лебосс Б. Применение двухуровневой металлизации в вентилярных МОП-матрицах. — Электроника, 1981, № 2, с. 6—7.
39. Смит К. Ускоренная разработка полужаказных КМОП-БИС на основе нескоммутированных логических матриц. — Электроника, 1981, № 1, с. 20—21.
40. Поса Д. Новое семейство вентилярных матриц. — Электроника, 1981, № 1, с. 9—10.
41. ЭСЛ-матрицы, совместимые с ТТЛ. — Электроника, 1981, № 6, с. 96—97.
42. Хартон Р., Томас Д., Раузбум Р. Автоматизация проектирования, ускоряющая специализацию логических матриц. — Электроника, 1981, № 14, с. 54—61.
43. Армстронг Р. Автоматизированное проектирование 32-разрядного мини-компьютера на вентилярных матрицах. — Электроника, 1981, № 1, с. 89—99.
44. Семейство логических матриц БИС и система автоматизированного проектирования схем на их основе. — Электроника, 1981, № 19, с. 121—122.
45. Казеннов Г. Г., Немудров В. Г., Шишкевич А. А., Пупин А. А. Оценка степени интеграции БИС на малосигнальных элементах с эмиттерной связью. — Микроэлектроника/ Под ред. А. А. Васенкова. — М.: Сов. радио, 1975, вып. 8, с. 92—99.
46. Морозов К. К., Одинокоев В. Г., Курейчик В. М. Автоматизированное проектирование конструкций радиоэлектронной аппаратуры. — М.: Радио и связь, 1983. — 280 с.
47. Баталов Б. В., Егоров Ю. Б., Русаков С. Г. Основы математического моделирования больших интегральных схем на ЭВМ. — М.: Радио и связь, 1982. — 168 с.
48. Уоллер Л. Идея «кремниевых мастерских» приобретает сторонников. — Электроника, 1981, № 24, с. 75—78.
49. Кордеро Г., Чамберс Д. Вторая группа машин 4341 фирмы ИВМ. — Электроника, 1981, № 7, с. 55—60.
50. Поса Д., Берисфорд Р. Достижения и перспективы развития электронной техники. — Электроника, 1981, № 21, с. 26—116.

51. **Кониэн Р. Р.** Низковольтная инверторная логика — перспективная элементная база биполярных СБИС.— Электроника, 1982, № 7, с. 57—61.
52. **Берисфорд Р., Хиндин Х. Д.** Расширение «сферы влияния» заказных ИС.— Электроника, 1982, № 9, с. 101—104.
53. **Von Gasser R. H.** CMOS Gate—Arrays—Realisierung und Möglichkeiten.— Technische Rundschau, 1982, № 44, November, s. 17—19, 35—37.
54. **Берисфорд Р.** Достижения и перспективы развития электронной техники.— Электроника, 1982, № 21, с. 24—53.
55. **Микропроцессорные комплекты интегральных схем.** Состав и структура: Справочник / Под ред. А. А. Васенкова, В. А. Шахнова.— М.: Радио связь, 1982.—192 с.
56. **Назарьян А. Р., Голубев А. П., Самсонов Н. С.** Сверхбыстродействующие биполярные матричные БИС.— М.: Радио и связь, 1984.— 74 с.
57. **Немудров В. Г., Лебедев В. И., Гладков В. Н., Иванов К. П.** Быстродействующие БИС на переключателях тока.— М.: Радио и связь, 1982.— 160 с.
58. **Рылеева С. С., Леандрова Т. Н., Трушина И. А. и др.** Электронная промышленность США.— Зарубежная электронная техника, 1983, № 4, с. 68—69.
59. **Селютин В. А.** Автоматизированное проектирование топологии БИС.— М.: Радио и связь, 1983.— 112 с.
60. **Шубарев В. А., Маркаров Ю. К.** Система автоматизированного проектирования микросборок на базе ЕС ЭВМ.— В кн.: Автоматизация проектирования и производства электронно-вычислительной аппаратуры / ЛДНТП.— Л., 1978, с. 12—20.
61. **Выбор метода проектирования больших интегральных схем специального исполнения.** Пер. 81/2526, ГПНТБ. (Дэнси Гидзюцу, 1980, т. 22, № 4, с. 36—45).
62. **Проектирование больших интегральных схем частного специального исполнения.** Пер. 81/9874, ГПНТБ. (Дэнси Гидзюцу, 1980, т. 22, № 4, с. 92—101).
63. **Жуковский В. А., Кушнер Ю. К., Бубенников А. Н.** Биполярные матричные БИС — элементно-конструктивная база высокопроизводительных ЦВМ четвертого поколения.— Зарубежная радиоэлектроника, 1979, № 11, с. 3—21.
64. **Alan B. Grebenef.** Combined analog-digital LST design using I²L gate arrays.— Microelectronics J., 1982, v. 13, № 2.
65. **Fulkerson D. E.** Gate arrays for VLSI Design.— IEEE Trans, 1982, СНМТ-5, № 1, March.
66. **Коноплёв Б. Г., Фомичёв А. В., Пономарёв М. Ф.** Выбор базового кристалла при автоматизированном проектировании специализированных БИС.— В кн.: Автоматизация проектирования электронной аппаратуры / ТРТИ.— Таганрог, 1983, вып. 2, с. 98—100.

Оглавление

Предисловие	3
Введение	4
1. Принципы построения базовых матричных кристаллов . .	8
1.1. Классификация и особенности конструкций	8
1.2. Библиотечный набор функциональных элементов	13
1.3. Электрические связи в матричных БИС	14
1.4. Параметры и характеристики	19
2. Базовые кристаллы БИС на биполярных транзисторах . .	22
2.1. Элементная база биполярных БИС	22
2.2. Базовые кристаллы на основе схем РТЛ, ТТЛ и ЭСЛ	27
2.3. Кристаллы на основе И ² Л-схем	36
2.4. Технологические особенности реализации базовых элементов биполярных БИС	44
3. Базовые кристаллы БИС на основе МДП-транзисторов	47
3.1. Элементная база МДП-БИС	47
3.2. Конструкции кристаллов на основе <i>n</i> -канальных МДП-транзисторов	48
3.3. Матрицы на основе КМОП-структур	54
4. Проектирование БИС на основе базовых матричных кристаллов	64
4.1. Выбор базового кристалла	64
4.2. Особенности проектирования специализированных БИС на основе БМК	65
4.3. Системы автоматизированного проектирования БИС на основе БМК	68
4.4. Применение БИС на основе БМК	73
Список литературы	77

20 к.

«РАДИО И СВЯЗЬ»